

## SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND FABRICATION THEREOF

**Publication number:** JP6053422

**Publication date:** 1994-02-25

**Inventor:** KIKUCHI TOSHIYUKI; NISHIZAWA HIROTAKA; IKEDA TAKAHIDE; HIRAMOTO TOSHIRO; TANBA NOBUO

**Applicant:** HITACHI LTD

**Classification:**

**- international:** *H01L27/06; H01L21/8238; H01L21/8249; H01L27/092; H01L27/06; H01L21/70; H01L27/085; (IPC1-7): H01L27/06; H01L27/092*

**- European:**

**Application number:** JP19920201001 19920728

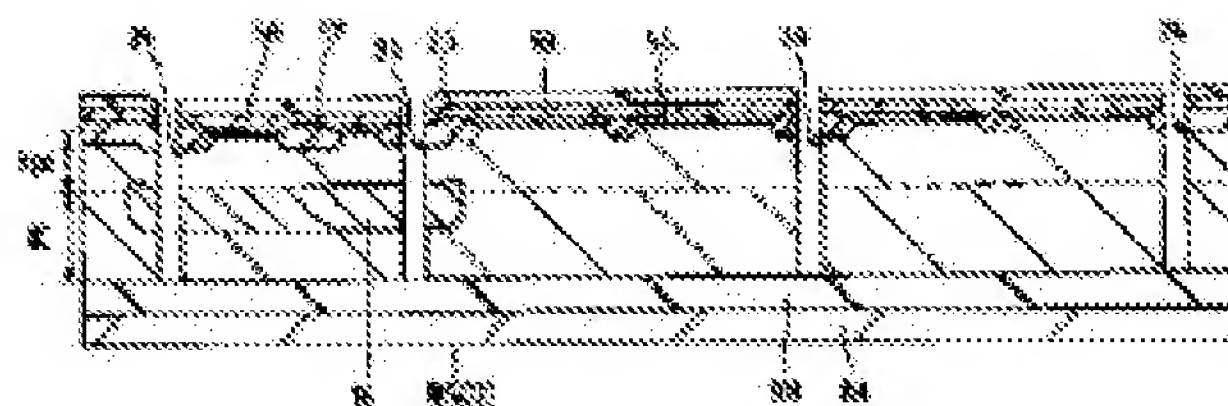
**Priority number(s):** JP19920201001 19920728

*Report a data error here*

### Abstract of **JP6053422**

**PURPOSE:** To fabricate a semiconductor integrated circuit device having CMOS or BiCMOS structure with high integration.

**CONSTITUTION:** In a semiconductor integrated circuit device having CMOS or BiCMOS structure, implantation of impurities for forming CMOS region, i.e., N-well and P-well, is performed through self-aligned manner for an isolation region, i.e., a field isolation film 23 and an isolation groove 24, after formation thereof.



.....  
Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11) 特許出願公開番号

特開平6－53422

(43) 公開日 平成 6 年 ( 1994 ) 2 月 25 日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/06 27/092		9170－4M 9170－4M 9054－4M	H 0 1 L 27/06 27/08	3 2 1 C 3 2 1 E 3 2 1 B
審査請求 未請求 請求項の数16(全 20 頁)				
(21) 出願番号	特願平4－201001		(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成 4 年 ( 1992 ) 7 月 28 日		(72) 発明者	菊池 俊之 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
			(72) 発明者	西沢 裕孝 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
			(72) 発明者	池田 隆英 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
			(74) 代理人	弁理士 小川 勝男
			最終頁に続く	

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【目的】 CMOSあるいはBi CMOS構成の半導体集積回路装置の高集積化が可能な製造方法を提供する。

【構成】 CMOSあるいはBi CMOS構成の半導体集積回路装置において、CMOSの形成領域であるN型ウェル及びP型ウェルの形成用の不純物の導入をアイソレーション領域であるフィールド絶縁膜及び分離溝を形成したの後に前記アイソレーション領域に対し自己整合で行う。

## 【特許請求の範囲】

【請求項1】相補型MOSFETを有する半導体集積回路装置の製造方法において、

半導体基板の主面に、前記半導体基板の主面の第一領域と第二領域とを区画するアイソレーション用の溝を形成する工程と、

前記溝を形成する工程の後に、前記第一領域に第一導電型の第一不純物を導入し、前記第二領域に第二導電型の第二不純物を導入することによって、前記第一領域に第一導電型の第一ウェルと、前記第二領域に第二導電型の

第二ウェルとを夫々形成する工程と、  
前記第一ウェルの主面に前記相補型MOSFETを構成するNチャネルMOSFETを形成し、前記第二ウェルの主面に前記相補型MOSFETを構成するPチャネルMOSFETを形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】前記第一不純物及び第二不純物は、イオン打ち込み法で導入され、前記アイソレーション用の溝に対し、自己整合で導入されることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】前記アイソレーション用の溝を形成する以前に、前記第一領域と第二領域との境界部にフィールド酸化膜を形成する工程を含むことを特徴とする請求項2記載の半導体集積回路装置の製造方法。

【請求項4】前記アイソレーション用の溝は、前記フィールド酸化膜を通して前記半導体基板中に延在することを特徴とする請求項3記載の半導体集積回路装置の製造方法。

【請求項5】前記第一不純物及び第二不純物は、前記フィールド酸化膜を通す程度の高エネルギーのイオン打ち込みで導入されることを特徴とする請求項3記載の半導体集積回路装置の製造方法。

【請求項6】前記第一不純物は、前記フィールド酸化膜の下部に導入され、前記第一ウェルと同時に第一チャンネルストッパを形成し、前記第二不純物は、前記フィールド酸化膜の下部に導入され、前記第二ウェルと同時に第二チャンネルストッパを形成することを特徴とする請求項3記載の半導体集積回路装置の製造方法。

【請求項7】バイポーラトランジスタと相補型MOSFETとを同一の半導体基板上に集積して成る半導体集積回路装置において、前記バイポーラトランジスタ及び相補型MOSFETは、前記半導体基板上に設けられた単結晶シリコンエピタキシャル層中に設けられ、前記バイポーラトランジスタが設けられた領域の前記単結晶シリコンエピタキシャル層と前記半導体基板の接合面に高濃度の埋込層が設けられ、前記相補型MOSFETが設けられた領域の前記単結晶シリコンエピタキシャル層と前記半導体基板の接合面には、前記高濃度の埋込層が形成されていないことを特徴とする請求項3記載の半導体集積回路装置。

【請求項8】相補型MOSFETを有する半導体集積回路装置の製造方法において、

絶縁層上に単結晶シリコン層を有するSOI(Silicon On Insulator)基板を準備する工程と、

前記SOI基板の単結晶シリコン層の主面に、前記単結晶シリコン層の主面の第一領域と第二領域とを区画し、かつ、前記SOI基板の絶縁層に達するアイソレーション用の溝を形成する工程と、

前記溝を形成する工程の後に、前記第一領域に第一導電型の第一不純物を導入し、前記第二領域に第二導電型の第二不純物を導入することによって、前記第一領域に第一導電型の第一ウェルと、前記第二領域に第二導電型の第二ウェルとを夫々形成する工程と、

前記第一ウェルの主面に前記相補型MOSFETを構成するNチャネルMOSFETを形成し、前記第二ウェルの主面に前記相補型MOSFETを構成するPチャネルMOSFETを形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】前記第一不純物及び第二不純物は、イオン打ち込み法で導入され、前記アイソレーション用の溝に対し、自己整合で導入されることを特徴とする請求項8記載の半導体集積回路装置の製造方法。

【請求項10】前記アイソレーション用の溝を形成する以前に、前記第一領域と第二領域との境界部にフィールド酸化膜を形成する工程を含むことを特徴とする請求項9記載の半導体集積回路装置の製造方法。

【請求項11】前記アイソレーション用の溝は、前記フィールド酸化膜を通して前記単結晶シリコン層に延在することを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項12】前記第一不純物及び第二不純物は、前記フィールド酸化膜を通す程度の高エネルギーのイオン打ち込みで導入されることを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項13】前記第一不純物は、前記フィールド酸化膜の下部に導入され、前記第一ウェルと同時に第一チャンネルストッパを形成し、前記第二不純物は、前記フィールド酸化膜の下部に導入され、前記第二ウェルと同時に第二チャンネルストッパを形成することを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項14】前記半導体集積回路装置は、半導体記憶装置であり、前記相補型MOSFETは、前記半導体記憶装置の記憶セルを構成することを特徴とする請求項13記載の半導体集積回路装置の製造方法。

【請求項15】前記半導体集積回路装置の製造方法は、さらに、前記SOI基板の単結晶シリコン層の第三領域にバイポーラトランジスタを形成する工程を含み、前記バイポーラトランジスタは前記半導体記憶装置の周辺回路を構成することを特徴とする請求項14記載の半導体集積回路装置の製造方法。

【請求項16】前記記憶セルは、フルCMOS型セルであることを特徴とする請求項15記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、相補型MOSFET（以下、CMOSと称する）を有する半導体集積回路装置、または、バイポーラトランジスタとCMOSとを同一の半導体基板上に集積して成るバイポーラCMOS（以下、Bi-CMOSと称する）を有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】特開平2-184068号公報には、絶縁層上に設けられたシリコン基板（Silicon On Insulator 基板：以下、SOI基板と称す）上に、N型ウェル及びP型ウェルを形成し、その後、前記N型ウェル及びP型ウェルの間にアイソレーション用の溝を形成し、上記アイソレーション用の溝によって分離された前記N型ウェル及びP型ウェルの夫々の主面にCMOSを構成するPチャネルMOSFET及びNチャネルMOSFETを形成するプロセスが開示されている。

【0003】また、1989年、カルワー・アカデミック出版社発行、アントニオ・アル・アルバーツ編集の「Bi-CMOS技術と応用」、第100頁から第107頁（1989, Kluwer Academic Publishers, edited by Antonio R Alvarez, 「Bi-CMOS Technology and Applications」, pp100~107）には、P型シリコン基板の表面に、N型埋込層、P型埋込層の夫々を形成し、さらに、上記P型シリコン基板上にN型エピタキシャル層を形成後、前記N型埋込層、P型埋込層上に位置する前記N型エピタキシャル層中にN型ウェル及びP型ウェルの夫々を形成するBi-CMOSプロセスが開示されている。さらに、上記文献には、N型ウェル及びP型ウェルの境界部に厚いフィールド酸化膜を設け、アイソレーション領域として使用する旨記載されている。

【0004】

【発明が解決しようとする課題】本発明者は、CMOSまたはBi-CMOSを有する半導体集積回路装置のさらなる高集積化、高信頼性を検討した結果、以下の問題点を明らかにした。

【0005】上述した従来の製造プロセスは、いずれも、NチャネルMOSFET及びPチャネルMOSFETの形成領域としてのP型及びN型ウェルを形成した後、前記P型及びN型ウェルの境界部にアイソレーション領域としてのフィールド酸化膜あるいは分離溝を形成している。このため、前記フィールド酸化膜あるいは前記分離溝を形成する際に、前記P型及びN型ウェルの夫々とのマスク合わせ余裕を考慮し、前記フィールド酸

化膜あるいは分離溝を含むアイソレーション領域を広く形成する必要がある。さらに、前記P型及びN型ウェルの形成時の熱処理で、前記P型及びN型ウェルの形成のためのP型及びN型不純物が相互拡散する点から、N型ウェルとP型ウェルの境界部に導電型の不明な曖昧な領域（不純物プロファイルの不明確な領域）が形成されるので、前記フィールド酸化膜あるいは分離溝を含むアイソレーション領域をさらに広く形成する必要がある。このため、CMOS部のNチャネルMOSFETの活性領域とPチャネルMOSFETの活性領域の素子分離幅を効果的に縮小することが困難になるという問題点が生ずる。

【0006】また、特に、Bi-CMOS分野では、CMOSの信頼性向上の観点から、ラッチアップ対策として、ウェル寄生抵抗を低減するため、P型及びN型ウェルの夫々の下部に高不純物濃度のP型埋込層、N型埋込層を、エピタキシャル層、P型及びN型ウェルの形成に先行して形成している。このため、前記P型及びN型ウェルの形成の際に、前記P型及びN型埋込層の夫々とのマスク合わせ余裕を考慮する必要がある、かつ、上述のウェルの形成の場合と同様に、前記P型及びN型埋込層の境界部に導電型の不明な曖昧な領域（不純物プロファイルの不明確な領域）が形成されるので、さらに素子分離領域が広くなり高集積化が阻害されるという問題が生ずる。

【0007】また、上記従来技術の文献に記載されているように、互いに導電型の異なるウェルあるいは埋込層の形成においては、高集積化の目的で、次のような自己整合技術を用いていた。まず、シリコン基板の表面に、ナイトライド（SiN）膜を選択的に形成し、これを不純物導入のマスクとしてN型不純物をシリコン基板の主面に導入する。この後、前記N型不純物が導入された領域の酸化速度が、前記ナイトライド（SiN）膜が形成された領域より速いことを利用し、前記N型不純物が導入された領域上にのみ厚いシリコン酸化膜を熱酸化法により形成する。この後、前記ナイトライド（SiN）膜を除去すると、前記N型不純物が導入された領域上にのみ厚いシリコン酸化膜が形成されているため、これを不純物導入マスクとして、P型不純物を前記シリコン基板の主面に選択的に導入することができる。その後、前記マスクとして使用した厚いシリコン酸化膜は、例えばフッ酸系のエッチング液により除去する。このように、前記P型不純物は、前記N型不純物が導入された領域に対して自己整合的に導入されるので、ひとつのマスクパターンで整合性を気にすることなく、両導電型の不純物を選択的に導入することができ、高集積化が可能である。

【0008】しかしながら、この一連の過程で、N型層上にのみシリコン酸化膜が厚く形成されるため、N型層とP型層との境界部のシリコン基板（あるいはエピタキ



シャル層)上に、前記シリコン酸化膜の厚さに比例した段差が生ずる。この段差は、アイソレーション領域あるいはその近傍の活性領域に形成されるため、例えば、アイソレーション用の溝を形成するプロセスにおいては、前記溝の加工に影響を及ぼし、形状不良等の問題点が生ずる恐れがある。また、CMOSのゲート電極加工のためのフォトリソパターンを形成する感光時においても、前記段差によって生じたフォトリソ膜厚差のために、微細寸法のパターンが精度良く加工できず、半導体集積回路装置の電気的信頼性が低下する問題も生ずる。

【0009】本発明は、上述した問題点を解決するためになされたものであり、本発明の一つの目的は、CMOSあるいはBi-CMOS構成の半導体集積回路装置の高集積化、高信頼性を図ることが可能な技術を提供することにある。

【0010】

【課題を解決するための手段】本発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

【0011】すなわち、CMOSを有する半導体集積回路装置の製造方法において、N型及びP型ウェルの夫々を形成するための不純物を半導体基板に導入する以前に、まず、素子分離領域である分離溝及びフィールド絶縁膜を形成する。その後、前記CMOSを構成するNチャネルMOSFET及びPチャネルMOSFETの形成領域となるP型及びN型ウェルを形成するためのP型及びN型不純物の夫々を、前記分離溝によって区画された前記半導体基板の主面に選択的に導入する。ここで、前記各ウェルを形成するためのP型及びN型不純物は、通常の写真リソグラフィ技術で形成したレジストマスクを用いて選択的に導入されるが、前記レジストマスクの合わせ余裕を前記溝の幅内に収めることで、前記素子分離領域に対して自己整合的に導入する。

【0012】また、Bi-CMOSを有する半導体集積回路装置の製造方法において、半導体基板のバイポーラトランジスタ形成領域にのみ選択的にN型埋込層を形成するための不純物を導入し、CMOS形成領域には、N型及びP型埋込層を形成するための不純物を導入しない。あるいは、前記N型埋込層を形成するためのN型不純物を前記バイポーラトランジスタ形成領域及び前記CMOS形成領域の半導体基板全面に導入する。その後、前記半導体基板の主面上にエピタキシャル層を形成し、その後、バイポーラトランジスタ及びCMOSを構成するNチャネルMOSFET及びPチャネルMOSFETの各形成領域の前記エピタキシャル層を溝により区画する。

【0013】

【作用】上述の手段によれば、素子分離領域となる分離溝及びフィールド絶縁膜を形成した後、CMOSを構成するNチャネルMOSFET及びPチャネルMOSFET

Tの形成領域となるP型及びN型ウェルを形成するためのP型及びN型不純物の夫々を前記素子分離領域に対し自己整合で導入するので、素子分離領域と各ウェル領域との合わせ余裕を考慮する必要性はなく、かつ、前記分離溝の先行形成により、ウェル形成のための熱処理によって前記各ウェルのP型及びN型不純物が相互拡散して導電型の不明な曖昧な領域が形成されることはない。従って、CMOSを有する半導体集積回路装置の高集積化が可能となる。

10 【0014】また、溝による素子分離によってラッチアップの問題は、ほぼ解決されているため、素子特性の意味から従来のような互いに導電型の異なる高不純物濃度の埋込層をCMOS部に形成する必要が無いので、従来から行われているナイトライド膜による選択不純物導入も、全く行なう必要性はない。従って、CMOSを構成するNチャネルMOSFETとPチャネルMOSFETの形成領域の境界部の段差が無くなるので、Bi-CMOSを有する半導体集積回路装置の電気的信頼性を向上することが可能である。

20 【0015】

【実施例】以下、本発明の実施例を図面を用いて具体的に説明する。尚、実施例を説明するための全図において同一機能を有するものには同一符号をつけ、その繰返しの説明を省略する。本発明のBi-CMOS構成の半導体集積回路装置のチップレイアウトを図1に示す。本発明のBi-CMOS構成の半導体集積回路装置は、二枚の単結晶シリコン基板を絶縁層を介して貼り合わせたSOI基板8の主面に設けられている。同図には、前記SOI基板8上におけるNPNバイポーラトランジスタ、NチャネルMOSFET及びPチャネルMOSFETの具体的な配置例が示されている。NPNバイポーラトランジスタ形成領域2、3及びNチャネルMOSFET形成領域4、5、6はその周囲を溝パターン1によって囲まれている。PチャネルMOSFET形成領域7はその溝パターン1の外側にあり、前記NPNバイポーラトランジスタ形成領域2、3及びNチャネルMOSFET形成領域4、5、6の間に延在する。

30 【0016】次に、本発明のBi-CMOS構成の半導体集積回路装置の具体的なデバイス構造について、図2及び図3を用いて説明する。図2には、NPNバイポーラトランジスタQ1、PチャネルMOSFETMP1、MP2及びNチャネルMOSFETMN1、MN2の夫々の具体的なデバイス平面レイアウトが示されている。また、図3には、図2における一点鎖線A1-A2で切ったデバイス断面図が示されている。

40 【0017】図2及び図3に示すように、本発明のBi-CMOS構成の半導体集積回路装置100は、SOI基板8上に設けられている。このSOI基板は、P型単結晶シリコン支持基板8A、シリコン酸化膜8B、N型単結晶シリコン膜8Cからなる。同図に示すように、

領域NPNには、NPNバイポーラトランジスタQ1、領域PMOSにはPチャネルMOSFETMP1、MP2、領域NMOSにはNチャネルMOSFETMN1、MN2が夫々構成されている。バイポーラトランジスタQ1は、主に、N+型半導体領域からなるエミッタ領域9と、P型半導体領域からなる真性ベース領域10と、N型単結晶エピタキシャル層11で構成される縦型NPNバイポーラトランジスタである。さらに、このバイポーラトランジスタQ1は、前記真性ベース領域10に電氣的に接続されたP+型半導体領域からなる外部ベース領域12を有し、前記外部ベース領域12には、P+型多結晶シリコン層からなるベース引出し層13が接続されている。前記ベース引出し層13は、前記エミッタ領域9を取り囲むように設けられ、その側部に設けられた絶縁膜からなるサイドウォールスペーサ14によって規定された開口を介して、n+型多結晶シリコン層からなるエミッタ引出し層15が前記エミッタ領域9に接続されている。このように、バイポーラトランジスタQ1は、ダブルポリシリコン・セルファライン・トランジスタ構造を有し、高速化にすぐれる。また、バイポーラトランジスタQ1は、コレクタ直列抵抗を低減するためのn+型半導体領域からなるn+型埋込層16と、コレクタ電位を表面から取出すためのn+型半導体領域からなるコレクタ引出し領域17とを含む。前記コレクタ引出し領域17には、接続孔CONT3を介してコレクタ電極22が接続されている。また、前記ベース引出し層13には、層間絶縁膜18及び19に設けられた接続孔CONT1を介して、ベース電極20が接続されている。また、前記エミッタ引出し層15には、層間絶縁膜19に設けられた接続孔CONT2を介して、エミッタ電極21が接続されている。前記エミッタ電極21、ベース電極20及びコレクタ電極22の夫々は、第1層目配線形成工程により設けられ、例えば、タングステン(W)層で形成される。尚、バイポーラトランジスタQ1を構成する各半導体領域(不純物ドーパ層)は、SOI基板8の主面上に成長させたn型単結晶シリコンエピタキシャル層Epi中に、n型、p型の不純物を選択的に導入することによって形成されたものである。

【0018】また、バイポーラトランジスタQ1は、その周囲をフィールド絶縁膜23及び分離溝24とで形成されたアイソレーション領域によって囲まれ、他の能動素子(例えば、MOSFETMP1、MN1等)と電氣的に分離されている。前記分離溝24は、前記フィールド絶縁膜23、エピタキシャル層Epi及びn型単結晶シリコン膜8Aを貫いて延在し、SOI基板の絶縁膜8Bに達している。また、前記分離溝24内には、シリコン酸化膜等の絶縁物が埋め込まれ、誘電分離構造を成している。尚、領域NPNのフィールド絶縁膜23の平面パターンは、図2において、NPN-LOCOS

で示されている。

【0019】PチャネルMOSFETMP1、MP2は、n型エピタキシャル層Epi中に形成されたn型半導体領域(n型ウェル)25A、25Bの主面部に設けられている。PチャネルMOSFETMP1、MP2の夫々は、主にn型不純物を含む多結晶シリコン層からなるゲート電極26A、26Bと、p+型半導体領域からなる高濃度ソース・ドレイン領域27A、27B、28A、28Bと、ゲート絶縁膜29A、29Bとで構成されている。PチャネルMOSFETMP1、MP2の夫々は、さらに、前記高濃度ソース・ドレイン領域よりも不純物濃度の低い、p-型半導体領域からなる低濃度ソース・ドレイン領域30A、30Bを含み、いわゆるLDD(Lightly-Doped-Drain)構造をなしている。

さらに、前記n型半導体領域25A、25Bの下部には、前記n型半導体領域25A、25Bの抵抗値を低減するために、前記n型半導体領域25A、25Bよりも不純物濃度の高いn+型半導体領域31A、31Bが設けられている。前記n+型半導体領域31A、31Bの夫々は、高エネルギーのイオン打ち込みで形成され、前記n型半導体領域25A、25Bと一体となってn型ウェルを構成する。また、n+型半導体領域31A、31Bは高エネルギーイオン打ち込みで形成するため、フィールド絶縁膜23の下にも同時にn+型半導体領域37が形成される。PチャネルMOSFETMP1、MP2の夫々は、その表面領域をフィールド絶縁膜23によって囲まれ、互いに分離されている。尚、領域PMOSのフィールド絶縁膜23の平面パターンは、図2においてPMOS-LOCOSで示されている。前記ゲート電極26A、26Bの上部には絶縁膜32が被覆され、また、そのゲート電極26A、26Bの側部には、絶縁膜からなるサイドウォールスペーサ33が設けられている。前記サイドウォールスペーサ33は、ゲート電極の側壁と高濃度ソース・ドレイン領域との離隔寸法を確保するために設けられる。そして、さらに、前記ソース・ドレイン領域27A、28Aには、絶縁膜34、18、19に設けられた接続孔CONT4、CONT5を介して、ソース・ドレイン電極35A、36Aが接続され、同様に、前記ソース・ドレイン領域27B、28Bには、絶縁膜34、18、19に設けられた接続孔CONT6、CONT7を介して、ソース・ドレイン電極35B、36Bが接続されている。これらソース・ドレイン電極35A、35B、36A、36Bは、前記バイポーラトランジスタQ1のエミッタ、ベース及びコレクタ電極と同一工程で形成される。また、前記PチャネルMOSFETMP1、MP2のゲート電極26A、26Bの夫々には、図示しないゲート配線が、CONT12及びCONT13を介して接続される。前記ゲート配線もまた、前記ソース・ドレイン電極と同一工程により形成される。また、前記PチャネルMOSF



ETMP1, MP2のn型半導体領域25A, 25B及び前記n+型半導体領域31A, 31B, には、回路のハイレベル側の電源電位（例えば、0V）が供給されている。前記ハイレベル側の電源電位は、図示しない電源配線によりCONT16を介して供給される。前記電源配線もまた、前記ソース・ドレイン電極と同一工程により形成される。また、領域PMOSは、NPNバイポーラトランジスタと同様にフィールド絶縁膜23、シリコン酸化膜を埋め込んだ分離溝24とで構成されたアイソレーション領域によって、他の能動素子（例えば、MOSFETMN1, NPNバイポーラトランジスタQ1等）と電氣的に分離されている。

【0020】NチャネルMOSFETMN1, MN2は、n-型エピタキシャル層Epi中に形成されたp型半導体領域（p型ウェル）39A, 39Bの主面部に設けられている。NチャネルMOSFETMN1, MN2夫々は、主にn型不純物を含む多結晶シリコン層からなるゲート電極26C, 26Dと、n+型半導体領域からなる高濃度ソース・ドレイン領域40A, 40B, 41A, 41Bと、ゲート絶縁膜29C, 29Dとで構成されている。NチャネルMOSFETMN1, MN2の夫々は、さらに、前記高濃度ソース・ドレイン領域よりも不純物濃度の低い、n-型半導体領域からなる低濃度ソース・ドレイン領域42A, 42Bを含み、PチャネルMOSFETと同じくLDD構造をなしている。さらに、前記p型半導体領域39A, 39Bの下部には、前記p型半導体領域39A, 39Bの抵抗値を低減するために、前記p型半導体領域39A, 39Bよりも不純物濃度の高いp+型半導体領域43A, 43Bが設けられている。前記p+型半導体領域43A, 43Bの夫々は、高エネルギーのイオン打ち込みで形成され、前記p型半導体領域39A, 39Bと一体となってp型ウェルを構成する。また、p型半導体領域43A, 43Bは高エネルギーイオン打ち込みで形成するため、フィールド絶縁膜23の下にも同時にp+型半導体領域44が形成される。NチャネルMOSFETMN1, MN2は、その表面領域をフィールド絶縁膜23によって囲まれ、互いに分離されている。尚、領域NMOSのフィールド絶縁膜23の平面パターンは、図2においてNMOS-LOCOSで示されている。前記ゲート電極26C, 26Dの上面には絶縁膜32が被覆され、また、そのゲート電極26C, 26Dの側部には、絶縁膜からなるサイドウォールスペーサ46が設けられている。前記サイドウォールスペーサ46は、ゲート電極の側壁と高濃度ソース・ドレイン領域との離隔寸法を確保するために設けられる。そして、さらに、前記ソース・ドレイン領域40A, 41Aには、絶縁膜34, 18, 19に設けられた接続孔CONT8, CONT9を介して、ソース・ドレイン電極47A, 48Aが接続され、同様に、前記ソース・ドレイン領域40B, 41Bには、絶

縁膜34, 18, 19に設けられた接続孔CONT10, CONT11を介して、ソース・ドレイン電極47B, 48Bが接続されている。これらソース・ドレイン電極は、前記バイポーラトランジスタQ1のエミッタ、ベース及びコレクタ電極と同一工程で形成される。また、前記NチャネルMOSFETMN1, MN2のゲート電極26C, 26Dには、図示しないゲート配線が、CONT14及びCONT15を介して夫々接続される。前記ゲート配線もまた、前記ソース・ドレイン電極と同一工程により形成される。また、前記NチャネルMOSFETMN1, MN2の形成領域であるp型半導体領域39A, 39B及び前記p+型半導体領域43A, 43Bには、回路のロウレベル側の電源電位（例えば、マイナス3V）が供給されている。前記ロウレベル側の電源電位は、図示しない電源配線によりCONT17を介して供給される。前記電源配線もまた、前記ソース・ドレイン電極と同一工程により形成される。また、領域NMOSは、NPNバイポーラトランジスタと同様にフィールド絶縁膜23、シリコン酸化膜を埋め込んだ分離溝24とで構成されたアイソレーション領域によって、他の能動素子（例えば、MOSFETMP1, NPNバイポーラトランジスタQ1等）と電氣的に分離されている。

【0021】次に、図2及び図3に示したBi-CMOS構成の半導体集積回路装置の具体的な製造方法について、図4～図20（製造工程毎に示す要部断面図）を用いて説明する。

【0022】まず、図4に示すように、SOI基板8を用意する。このSOI基板8は、P型単結晶シリコン支持基板8A、シリコン酸化膜8B、N型単結晶シリコン層8Cからなる。P型半導体支持基板8Aは、例えば8～12〔Ωcm〕程度の抵抗値を有し、その膜厚は例えば550μm程度である。シリコン酸化膜8Bの膜厚は、例えば500nm程度である。N型単結晶珪素膜8Cは、例えば8～12〔Ωcm〕程度の抵抗値を有し、その膜厚は例えば1.5μm程度である。SOI基板8は、二枚のシリコンウエーハを前記シリコン酸化膜8Bを介して、熱処理で貼り合わせた後、前記シリコンウエーハの一方側を所定の厚さまで研磨することにより形成できる。

【0023】次に、図5に示すように、窒化珪素（SiN）膜等の耐酸化性マスク50をバイポーラトランジスタQ1以外の領域のSOI基板8上に選択的に形成する。耐酸化性マスク50のパターニングには、フォトリソグラフィ技術で形成したエッチングマスク（フォトレジスト）NBLを使用し、薄いシリコン酸化膜49をエッチングストッパー膜として、RIE（Reactive Ion Etching）等の異方性エッチングで行う。ここで、シリコン酸化膜49の膜厚は、例えば20nmであり、耐酸化性マスク50は、窒化珪素膜をCVD（Chemical Va

por Deposition) 法で堆積させ、50 [nm] 程度の膜厚であり、フォトレジストマスクNBLの膜厚は1.0  $\mu\text{m}$ 程度である。前記耐酸化性マスクの平面パターンは、図2のNBLで示される。次に、n型不純物51をバイポーラトランジスタQ1領域のN型単結晶珪素膜8Cの主面部に選択的に導入する。前記n型不純物51は、例えば $10^{15}$  [atoms/cm<sup>2</sup>] 程度の不純物濃度のアンチモン(Sb)を使用する。この後、前記フォトレジストNBLを除去する。次に前記n型不純物51に1200℃程度の熱拡散処理を施し、前記N型単結晶珪素膜8C中に引き伸ばし拡散を施すことにより、図6に示すように、n+型半導体領域からなるn+型埋込層16を形成する。

【0024】続いて、図6に示すように前記耐酸化性マスクから露出する前記N型単結晶珪素膜8Cの主面を熱酸化することにより、シリコン酸化膜52を選択的に形成する。この酸化膜52の形成は、1000℃程度の高温のスチーム酸化法により形成し、150 [nm] 程度の膜厚で形成する。この酸化膜52の形成は、後のフォトグラフィー技術における合わせの位置決め使用される段差を形成する目的で行う。この後、前記耐酸化性マスク50及び酸化膜49、52を除去する。

【0025】次に、図7に示すように、SOI基板8の主面上に、n-型エピタキシャル層Epiを成長させる。

n-型エピタキシャル層Epiは、単結晶シリコンで形成され、例えば3 [ $\Omega\text{cm}$ ] 程度の抵抗値を有し、例えば、0.7 [ $\mu\text{m}$ ] 程度の膜厚で形成される。このn-型エピタキシャル層Epiの成長によって、前記n+型埋込層16を形成するn型不純物がn-型エピタキシャル層Epiの下部にわき上り拡散される。次に、窒化珪素膜(SiN)等の耐酸化性マスク53をバイポーラトランジスタQ1、PチャネルMOSFET領域PMOS及びNチャネルMOSFET領域NMOSのn-型エピタキシャル層Epi上に選択的に形成する。耐酸化性マスク53のパターニングには、フォトリソグラフィー技術で形成したエッチングマスク54を使用し、シリコン酸化膜55をエッチングストッパー膜として、RIE等の異方性エッチングで行う。ここで、酸化膜55の膜厚は、例えば10~20 nmであり、耐酸化性マスク53は、CVD法で堆積させた100~200 [nm] 程度の膜厚の窒化珪素膜であり、フォトレジストマスク54の膜厚は1.0  $\mu\text{m}$ 程度である。前記耐酸化性マスク53の平面パターンは、図2のNPN-LOCOS、PMOS-LOCOS、NMOS-LOCOSと同一のパターンで夫々示される。前記耐酸化性マスク53のパターニング後、前記フォトレジスト54を除去する。

【0026】その後、図8に示すように、前記耐酸化性マスクから露出するn-型エピタキシャル層Epiの主面を熱酸化することにより、酸化シリコン膜からなるフィールド絶縁膜23を選択的に形成する。前記フィール

ド絶縁膜は、1000 [℃] 程度の高温のスチーム酸化法により形成し、400 [nm] 程度の膜厚で形成する。

【0027】次に、図9に示すように、分離溝形成のための多層構造マスクを形成する。この多層構造マスクは、SOI基板8上に多結晶シリコン膜56及びシリコン酸化膜57を順次形成した後、フォトレジストマスク58を使用して、RIE等の異方性エッチングによって、前記シリコン酸化膜57及び前記多結晶シリコン膜56を順次エッチングすることにより形成できる。ここで、多結晶シリコン膜56及びシリコン酸化膜57は、CVD法を用いて堆積させ、夫々膜厚は例えば200 [nm]、300 [nm] 程度である。また、フォトレジストマスク57の膜厚は、1.0 [ $\mu\text{m}$ ] 程度である。前記多層構造マスクの平面的な開口パターンは、図2の斜線TR1、TR2で示されている。また、この分離溝形成用のマスクの開口幅は、例えば0.4 [ $\mu\text{m}$ ] 程度である。この後、前記レジストマスク58を除去する。

【0028】次に、図10に示すように、前記シリコン酸化膜57をエッチングマスクとして、エピタキシャル層Epi、n+埋込層16及びN型単結晶珪素膜8CをRIE等の異方性エッチングにより順次エッチングし、シリコン酸化膜8Bに達する分離溝24を形成する。ここで、前記シリコン酸化膜56は、素子領域の保護膜としても機能する。前記分離溝24の平面レイアウトは、図1に示したようにバイポーラトランジスタ及びNチャネルMOSFETの形成領域のみを囲むようになっている。この理由は、全素子領域を溝によって分離すると、各素子のレイアウトによっては、前記溝によって囲まれた電位の固定されない領域が形成される恐れがあり、雑音、寄生容量の増大につながる可能性がある。また、ウェル給電のための電源配線の引き回しが困難になる恐れがあるからである。本実施例では、溝で囲む領域をバイポーラトランジスタ及びNチャネルMOSFETのみに限定し、残りの領域をPチャネルMOSFETの形成領域としたので、前記溝によって囲まれた電位の固定されない領域が形成されることはないので雑音、寄生容量、電源配線の引き回しの問題を解決できる。

【0029】次に、図11に示すように、分離溝24内に絶縁物58を埋め込む。この絶縁物58は、CVD技術を用い、シリコン酸化膜を500 [nm] 程度の膜厚で分離溝24を含むSOI基板8の全面上に堆積させた後、RIE等の異方性エッチングによる全面エッチバックによって前記分離溝24内に埋込形成できる。また、1回の全面エッチバックによって表面の平坦化が困難であるため、再度、絶縁物を同様に500 [nm] 程度堆積させた後、2回目のエッチバックを行い絶縁物59を分離溝24の表面部に埋込形成する。ここで、前記多結晶シリコン膜56は2度の全面エッチバックのため



のストッパー膜として機能する。また、前記酸化珪素膜57は1回目の全面エッチングの時にオーバーエッチされ除去される。このように、前記分離溝24内に絶縁物を埋め込むことによって、誘電体分離構造が完成する。尚、前記埋込絶縁物の代替として、多結晶シリコンを埋め込んでも良い。この場合には、前記多結晶シリコンを埋め込む以前に分離溝24の内面を選択酸化してシリコン酸化膜を形成しておく必要がある。

【0030】この後、前記多結晶シリコン膜56及び窒化珪素膜53を除去する。次に、バイポーラトランジスタQ1の形成領域に選択的に高濃度のn型不純物が導入し、図12に示すように、n+型半導体領域からなるバイポーラトランジスタQ1のコレクタ引出し領域17を形成する。前記コレクタ引出し領域17は、その底面が前記n+型埋込層16に接触するように設けられ、コレクタ直列抵抗をn+型埋込層16とともに低減する。このように、Bi-CMOS構成の半導体集積回路装置の下地としての基板(SOI基板8、n-型エピタキシャル層Epi等を含む)が完成する。

【0031】次に、図12に示すように領域NMOSのn-型エピタキシャル層Epiの主面部に、p型不純物61、62、63の夫々をイオン打ち込みする。前記p型不純物61、62、63は、フォトレジストマスク60を不純物導入のマスクとして使用する。このレジストマスク60の平面レイアウトパターンは、図2のIMでその開口部が示され、分離溝24によって合わせの位置決めを行う。この実施例では、NチャンネルMOSFETMN1、MN2の形成領域であるp型ウェルの形成を2回のイオン打ち込み工程に分けて行う。つまり、浅いp型ウェル39A、39B形成用のp型不純物61のイオン打ち込み工程と、深いp型ウェル43A、43B形成用のp型不純物62のイオン打ち込み工程とがある。また、前記深いp型ウェル43A、43B形成用のp型不純物62は、アイソレーション領域であるフィールド酸化膜23の下部にも同時に導入され、チャンネルストッパーとして機能するp型半導体領域44を形成する。前記p型不純物61、62の導入条件は、デバイス特性、素子分離特性によって、その後の熱処理を考慮して最適化されるが、その一例を示すと、p型不純物61は、例えば $10^{12}$  [atoms/cm<sup>2</sup>]程度の不純物濃度のフッ化ホウ素(BF<sub>3</sub>)を使用し、60 [KeV]程度のエネルギーのイオン打込法で導入する。また、深いp型ウェル43A、43B及びp型半導体領域44形成用のp型不純物62は、例えば $5 \times 10^{12}$  [atoms/cm<sup>2</sup>]程度の不純物濃度のボロン(B)を使用し、150 [KeV]程度の高エネルギーのイオン打込法で導入する。また、同一のフォトレジストマスク60によってNチャンネルMOSFETのしきい値電圧調整用のp型不純物63の導入を行う。このp型不純物63の導入は、例えば $5 \times 10^{12}$  [atoms/cm<sup>2</sup>]程度の不純物濃

度のフッ化ホウ素(BF<sub>3</sub>)を使用し、80 [KeV]程度のエネルギーのイオン打込法で行う。また、前記p型ウェルは、一回のイオン打ち込み工程により形成してもよく、また、三回以上のイオン打ち込み工程により形成してもよい。このように、本発明においては、素子分離領域であるフィールド酸化膜及び分離溝を形成した後、ウェル形成用の不純物を導入しているため、ウェル形成時の熱処理によってウェルの不純物が横方向に拡散することを、前記分離溝によって、抑制することが可能である。さらに、前記ウェルは、フィールド酸化膜及び分離溝に対し、自己整合で形成することができるので、高集積化が達成できる。また、ウェル形成用の不純物をフィールド酸化膜を通す高エネルギーのイオン打ち込みにより導入するので、フィールド酸化膜の下部にチャンネルストッパー領域を同時に形成することができる。

従って、製造工程を簡略化できる利点がある。また、前記チャンネルストッパー領域は、フィールド酸化膜形成後に、フィールド酸化膜を通すp型不純物の高エネルギーのイオン打ち込みにより形成されるので、フィールド酸化膜形成時の高温、長時間の熱履歴を受けることがない。

従って、チャンネルストッパー領域の不純物がMOSFETのチャンネル方向にしみだすことを防止できるので、MOSFETのしきい値電圧の制御性を向上し、電気的信頼性を向上することができる。

【0032】次に、図13に示すように、領域PMOSのn-型エピタキシャル層Epiの主面部に、n型不純物65、66の夫々をイオン打ち込みする。前記n型不純物65、66は、フォトレジストマスク64を不純物導入のマスクとして使用する。このレジストマスク64は、領域NPN及びNMOSを選択的に覆うように設けられ、分離溝24によって合わせの位置決めを行う。

この実施例では、PチャンネルMOSFETMP1、MP2の形成領域であるn型ウェルの形成を2回のイオン打ち込み工程に分けて行う。つまり、浅いn型ウェル25A、25B形成用のn型不純物65のイオン打ち込み工程と、深いn型ウェル31A、31B形成用のn型不純物66のイオン打ち込み工程とがある。また、前記深いn型ウェル31A、31B形成用のn型不純物66は、アイソレーション領域であるフィールド酸化膜23の下部にも同時に導入され、チャンネルストッパーとして機能するn型半導体領域44を形成する。このn型不純物の導入条件は、デバイス特性、素子分離特性によって、その後の熱処理を考慮して最適化される。前記n型不純物65は、例えば $10^{12}$  [atoms/cm<sup>2</sup>]程度の不純物濃度のリン(P)を使用し、120 [KeV]程度のエネルギーのイオン打込法で導入する。前記n型不純物66は、例えば $5 \times 10^{12}$  [atoms/cm<sup>2</sup>]程度の不純物濃度の2価のリン(P)イオンを使用し、1価のリンイオン換算で300 [KeV]程度のエネルギーのイオン打込法で導入する。また、同一のフォトレジスト

マスク64を使用し、PチャネルMOSFETのしきい値電圧調整用のp型不純物67の導入を行う。このp型不純物67の導入は、例えば $5 \times 10^{12}$  [atoms/cm<sup>2</sup>]程度の不純物濃度のフッ化ホウ素(BF<sub>3</sub>)を使用し、30 [KeV]程度のエネルギーのイオン打込法で行う。前記p型不純物67の導入は、前記NチャネルMOSFETのしきい値電圧調整用のp型不純物63と共通化することができ、その場合には、アイソレーション領域を形成した後に、領域NPNのみを選択的に覆うフォトリソグラフィマスクを使用し、一括して領域NMOS、PMOSに所定の不純物濃度のp型不純物をイオン打ち込みすればよい。また、一般に、砒素、アンチモン、リン等のn型不純物は、ボロン等のp型不純物に比較して、その質量が大きい。このため、n型不純物の高エネルギーのイオン打込みによる高濃度埋込層の形成は難しい。しかしながら、本実施例ではウェル形成の下地としてのエピタキシャル層Epi及び上層基板(n型シリコン層8C)の導電型をn型に設定することで、前記深いn型ウェル31A、31B形成用のn型不純物66の不純物濃度を、高エネルギーのイオン打込みが可能な程度まで低濃度化している。つまり、高エネルギーのイオン打込みを使用する場合には、下地としての基板を予めn型化しておくことが重要である。

【0033】このように、素子分離領域であるフィールド酸化膜及び分離溝を形成した後、PチャネルMOSFETの形成領域であるn型ウェル形成用の不純物を導入しているので、上記p型ウェル形成時と同様の効果を得ることができる。また、前記n型ウェルとp型ウェルの形成領域は、予めアイソレーション領域である分離溝によって互いに分離されているため、前記n型ウェルとp型ウェルの不純物が相互拡散することはない。従って、n型ウェルとp型ウェルとの境界部に導電型が不明な曖昧な領域(不純物プロファイルの不明確な領域)が形成されることを防止できるので、CMOSを有する半導体集積回路装置の電氣的信頼性を向上すると共に、高集積化を図ることができる。

【0034】次に、図14に示すように、n型ウェル25A、25B及びp型ウェル39A、39Bの夫々の主面上にゲート絶縁膜29A~Dを形成する。このゲート絶縁膜29A~Dは、例えば800~900 [°C]程度の高温のスチーム酸化法で形成し、10~20 [nm]程度の膜厚で形成する。次に、ゲート絶縁膜29A~D上を含むSOI基板の全面上に多結晶シリコン膜を形成する。前記多結晶シリコン膜は、CVD法で堆積させ、200~300 [nm]程度の膜厚で形成する。前記多結晶シリコン膜には、熱拡散法あるいは、イオン打込法により、抵抗値を低減するn型不純物(例えばリン(P))が導入される。次に、前記多結晶シリコン膜上の全面に絶縁膜32を形成する。この絶縁膜32は、CVD法で堆積した100~200 [nm]程

度の酸化シリコン膜で形成する。次に、前記絶縁膜32及び前記多結晶シリコン膜の夫々を所定の形状に順次エッチングし、NチャネルMOSFETMN1、MN2及びPチャネルMOSFETMP1、MP2のゲート電極26A~Dを夫々形成する。前記エッチングは、フォトリソグラフィ技術で形成したエッチングマスクを使用し、RIE等の異方性エッチングで行う。前記各ゲート電極の平面パターンは、図2においてGATE1~4で示されている。次に、前記ゲート電極26C、26Dの夫々から露出する前記p型ウェル39A、39Bの夫々の主面部にn型不純物を選択的に導入する。このn型不純物は、例えば、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>]程度の不純物濃度のリン(P)を使用し、50 [KeV]程度のエネルギーのイオン打込法で導入する。前記n型不純物は、ゲート電極26C、26Dの夫々に対して、自己整合で導入される。このn型不純物は、比較的低濃度で導入されるので、NチャネルMOSFETMN1、MN2の夫々をLDD構造で形成することができる。このn型不純物の導入により、n型半導体領域からなる低濃度ソース・ドレイン領域42A、42Bが夫々形成される。次に、前記低濃度ソース・ドレイン領域42A、42Bの形成と同様に、前記ゲート電極26A、26Bから露出する前記n型ウェル25A、25Bの夫々の主面部に、p型不純物を選択的に導入することによって、PチャネルMOSFETMP1、MP2の低濃度ソース・ドレイン領域30A、30Bを形成する。このP型不純物は、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>]程度の不純物濃度のフッ化ホウ素(BF<sub>3</sub>)を使用し、40 [KeV]程度のエネルギーのイオン打込法により導入される。

このp型不純物は、前記ゲート電極26A、26Bに対して自己整合で導入される。

【0035】次に、図15に示すように前記ゲート電極26A、26B、26C、26Dの夫々の側部に、サイドウォールスペーサ33、46を形成する。サイドウォールスペーサ33、46は、基板の全面上に酸化シリコン膜を堆積し、この酸化珪素膜を堆積した膜厚に相当する分、RIE等の異方性エッチングによりエッチバックを施すことにより形成することができる。サイドウォールスペーサ33、46の酸化シリコン膜は、無機シランガス及び酸化窒素ガスをソースガスとするCVD法で形成する。この酸化珪素膜は例えば200 [nm]程度の膜厚で形成する。このサイドウォールスペーサ33、46のゲート長方向(チャネル長方向)の長さは約150 [nm]程度で形成される。また、前記異方性エッチングにより、前記ゲート電極26A、26B、26C、26Dの夫々から露出するゲート絶縁膜29A~Dの一部及びバイポーラトランジスタQ1の形成領域のゲート絶縁膜がオーバーエッチングされ、除去される。このとき、前記除去されたゲート絶縁膜の下地となっているn型ウェル25A、25B及びp型ウェル39A、



39Bの主面部のシリコン層も、少量オーバーエッチングされる。前記サイドウォールスペーサ33、46を形成後、不活性ガス（例えば、アルゴンガス）雰囲気中で、800〔℃〕程度の熱処理が施こされる。前記熱処理により、前記サイドウォールスペーサ33、46を構成する酸化シリコン膜が緻密化されるとともに、前記低濃度ソース・ドレイン領域42A、42B、30A、30Bを活性化させ、前記オーバーエッチングによるシリコン層のダメージを回復させる。次に、バイポーラ

トランジスタQ1及びPチャネルMOSFETMP1、MP2の形成領域をフォトリソグラフィ技術を用いたフォトレジスト膜からなるマスクで覆う。次に、前記マスクを不純物導入のマスクとして、n型不純物をp型ウェル39A、39Bの主面部に導入する。このn型不純物の導入は、主に、ゲート電極26C、26D及びサイドウォールスペーサ46に対して自己整合で行う。前記n型不純物は、例えば $10^{15} \sim 10^{16}$ 〔atoms/cm<sup>2</sup>〕程度の不純物濃度のヒ素（As）を使用し、70～90〔KeV〕程度のエネルギーのイオン打込法で導入する。前記n型不純物の導入により前記p型ウェル39A、39Bの主面に、NチャネルMOSFETMN1、MN2の高濃度ソース・ドレイン領域40A、41A及び40B、41Bを形成する。この後、前記フォトレジストマスクは除去する。

【0036】次に、PチャネルMOSFETMP1、MP2の形成領域が開口されたマスクを形成する。前記マスクは、図示していないが、フォトリソグラフィ技術により形成されたフォトレジスト膜からなる。その後、前記フォトレジストマスクを不純物導入のマスクとして使用し、p型不純物をn型ウェル25A、25Bの主面に導入する。前記p型不純物は、例えば $10^{15} \sim 10^{16}$ 〔atoms/cm<sup>2</sup>〕程度の不純物濃度のフッ化ホウ素（BF<sub>3</sub>）を用い、70～90〔KeV〕程度のエネルギーのイオン打込法で導入する。このP型不純物の導入により、PチャネルMOSFETMP1、MP2の高濃度ソース・ドレイン領域27A、28A及び27B、28Bが夫々形成される。この後、前記フォトレジストマスクを、除去する。

【0037】次に、前記導入されたn型不純物及びp型不純物の夫々に熱処理を施こすことにより、イオン打込みによるダメージ回復させるとともに、前記不純物を活性化させる。前記熱処理は、例えば、850〔℃〕程度の高温で、約10分行う。この高濃度ソース・ドレイン領域を形成する工程により、図2に示したNチャネルMOSFETMN1、MN2及びPチャネルMOSFETMP1、MP2の夫々が実質的に完成する。前記MOSFETのゲート電極材料は、この実施例ではn型多結晶シリコンを使用した。多結晶シリコン上にタングステン（W）、モリブデン（Mo）などの高融点金属層を積層し、シリサイド化させたポリサイド構造のゲ

ート電極を使用してもよい。

【0038】次に、図16に示すように、例えば、CVD法により、膜厚100〔nm〕程度の酸化シリコン膜34を基板の全面上に形成する。次に、バイポーラトランジスタのベース形成領域が開口されたフォトレジストマスクBPを形成し、これをエッチングマスクとして、前記酸化シリコン膜34及びゲート絶縁膜の所定部をエッチングにより選択的に除去することによって、n型コレクタ領域11上に、開口部DTを形成する。

【0039】次に、図17に示すように、前記開口部DT上を含む基板の全面上に多結晶シリコン層13を例えば、CVD法で堆積させる。前記多結晶シリコン層13の膜厚は、例えば200〔nm〕程度である。前記多結晶シリコン層13は、不純物が導入されないイントリンシック状態か、あるいは、n型あるいはp型不純物が低濃度にドーパされた状態のシリコン層であれば、いずれであってもよい。次に、前記多結晶シリコン層13中に、p型不純物を導入する。前記p型不純物は、例えば $10^{15} \sim 10^{16}$ 〔atoms/cm<sup>2</sup>〕程度の不純物濃度のボロン（B）を使用し、10～15〔keV〕程度のエネルギーでイオン打ち込み法で導入する。次に、バイポーラトランジスタのベース引出層を構造化するためのフォトレジストマスクEB1を形成する。このマスクEB1ををエッチングマスクとして、例えば、RIE等の異方性エッチングより、前記多結晶シリコン層13をパターニングすることによって、図18に示すようにベース引出層となるp型多結晶シリコン層13Cを形成する。尚、この状態では、前記ベース引出層となるp型多結晶シリコン層13Cの平面形状は、単に、長方形であり、最終形状であるリング状にはなっていない。

その後、前記マスクEB1は除去される。

【0040】次に、図18に示すように、前記多結晶シリコン層13C上を含む基板の全面上に層間絶縁膜18を形成する。前記層間絶縁膜18は、CVD法で堆積させた酸化シリコン膜で形成する。その後、バイポーラトランジスタQ1のベース引出し層13Cを最終形状にパターニングするためのフォトレジストマスクEB2を形成する。前記マスクEB2は、バイポーラトランジスタQ1の真性ベース及びエミッタが形成されるべき領域が開口されたマスクパターンである。その後、前記マスクEB2をエッチングマスクとして、前記層間絶縁膜18及びベース引出し層13Cを順次選択的にエッチングする。前記エッチングは、RIE等の異方性エッチングを使用する。このエッチングにより、図19に示すように、バイポーラトランジスタQ1のエミッタ領域を取り囲むように、ベース引出し層13Cがパターニングされる。その後、前記マスクEB2は除去される。次に、真性ベース領域10を形成するためのp型不純物を前記コレクタ領域11の主面部に導入する。前記p型不純物は、例えば $10^{13} \sim 10^{14}$ 〔atoms/cm<sup>2</sup>〕



m<sup>2</sup>] 程度の不純物濃度のボロン (B) を使用し、比較的低エネルギーのイオン打込法で導入する。

【0041】次に、図19に示すように、前記パターンニングされたベース引出し層13Cの側部に絶縁膜 (SiO<sub>2</sub>) からなるサイドウォールスペーサ14を形成する。前記スペーサ14は、前記LDD構造のMOSFETMN1, M1等のサイドウォールスペーサ33, 46と同様に、絶縁層のエッチバックにより形成することができる。前記サイドウォールスペーサ14により、エミッタ形成領域が自己整合で規定される。

【0042】次に、図20に示すように、前記サイドウォールスペーサ14によって規定された開口部を含む基板の全面上に、多結晶シリコン層15を形成する。前記多結晶シリコン層15は、例えばCVD法で形成され、150 [nm] 程度の膜厚で形成される。次に、前記多結晶シリコン層15中に、n型不純物を導入する。前記n型不純物は、例えば10<sup>16</sup> [atoms/cm<sup>2</sup>] 程度の高不純物濃度のヒ素 (As) を使用し、イオン打込法で導入する。このn型不純物の導入により、前記多結晶シリコン層15は、n+型となり、導体化される。

【0043】次に、図20に示すように、領域NPNの前記多結晶シリコン層15上に、選択的にフォトレジストマスクEB3を形成する。前記マスクEB3のパターンは、バイポーラトランジスタQ1のエミッタ引出し層の形成パターンである。次に、前記マスク15をエッチングマスクとして、前記多結晶シリコン層15を選択的にエッチング除去する。前記エッチングは、例えばRIE等の異方性エッチングを使用する。前記エッチングにより、図3に示すように、バイポーラトランジスタQ1のエミッタ引出し層15を形成する。その後、基板に熱処理を施すことによって、前記n+型多結晶シリコン層15に導入されたn型不純物、前記p+型多結晶シリコン層13Cに導入されたp型不純物の夫々を前記コレクタ領域11の主面部にドライブ・イン拡散する。このドライブ・イン拡散によって、n+型半導体領域からなるバイポーラトランジスタQ1のエミッタ領域9及びp+型半導体領域からなる外部ベース領域12が夫々形成される。また、前記コレクタ領域11の主面部にあらかじめ導入されたp型不純物も、前記熱処理によって活性化され、p型半導体領域からなる真性ベース領域10が形成される。前記外部ベース領域12及び真性ベース領域10は、前記サイドウォールスペーサ14下において電氣的に接続され、一体となって形成される。前記熱処理工程により、実質的にバイポーラトランジスタQ1が完成する。

【0044】次に、前記バイポーラトランジスタQ1及びMOSFETMN1, MN2, MP1, MP2の各素子上を含む基板全面に層間絶縁膜19を形成する。前記層間絶縁膜19は例えば酸化珪素膜、BPSG (Boro

n-Phosphorus-Silicate Glass) 膜の夫々を順次積層した2層構造で構成されている。また、前記下層の酸化珪素膜はシランガス及び酸化窒素ガスをソースガスとするCVD法で堆積する。前記下層の酸化珪素膜は、上層のBPSG膜からの不純物 (P, Bの夫々) の漏れを防止するため、例えば100 [nm] 程度の膜厚で形成する。上層のBPSG膜は例えばCVD法で堆積する。

前記上層のBPSG膜は例えば300~500 [nm] 程度の膜厚で形成する。前記BPSG膜には窒素ガス雰囲気中において約900~1000 [°C] 程度の温度でデンシファイ処理及びリフロー処理が施される。このリフローにより前記層間絶縁膜19を構成する上層のBPSG膜の表面は平坦化される。

【0045】次に、通常のフォトリソグラフィー及びエッチング技術を用いて、前記層間絶縁膜19, 18及び絶縁膜34の夫々を順次、選択的にエッチングすることにより、バイポーラトランジスタのコレクタ引出し領域17に達する接続孔CONT3、バイポーラトランジスタのエミッタ引出し層15及びベース引出し層13に達する接続孔CONT2, CONT1、PチャネルMOSFETMP1, MP2のソース・ドレイン領域27A, 28A及び27B, 28Bに達する接続孔CONT4~7、NチャネルMOSFETMN1, MN2のソース・ドレイン領域40A, 41A及び40B, 41Bに達する接続孔CONT8~11を夫々形成する。前記各接続孔を形成後、前記接続孔を通して、前記ベース引出し層13C、エミッタ引出し層15、コレクタ引出し領域17及びソース・ドレイン領域27A, 28A, 27B, 28B, 40A, 41A, 40B, 41Bの夫々に接続する配線層 (電極) 20, 21, 22, 35A, 36A, 35B, 36B, 47A, 48A, 47B, 48Bを形成する。前記配線層20, 21, 22, 35A, 36A, 35B, 36B, 47A, 48A, 47B, 48Bの夫々は、例えばCVD法で堆積させたタングステン層を通常のフォトリソグラフィー及びエッチング技術によりパターンニングすることで形成される。また、図3には図示しないが、前記配線層と同一工程により形成された電源供給用配線が、前記層間絶縁膜19に設けられた図2に示す接続孔CONT16, 17を通して、PチャネルMOSFET及びNチャネルMOSFETのウェル領域に接続される。また、図3には図示しないが、前記配線層は、前記層間絶縁膜19に設けられた図2に示す接続孔CONT12~15を通して、PチャネルMOSFET及びNチャネルMOSFETのゲート電極26A~Dにも接続される。その後、図示しないが、前記配線層20, 21, 22, 35A, 36A, 35B, 36B, 47A, 48A, 47B, 48B上を含む基板の全面上に、酸化シリコン膜等の絶縁膜を形成し、さらに、通常のフォトリソグラフィー及びエッチング技術により、第2層目の配線 (例えば、アルミニウム

合金配線)が形成され、各半導体素子間を電氣的に接続する。以上の工程を施すことによって、本発明のBi-CMOS構成の半導体装置がほぼ完成する。

【0046】以上、本発明について実施例に基づき具体的に説明したが、これに限定されるものではない。例えば、図21に示すようにバイポーランジスタQ1のコレクタ直列抵抗を低減するためのn+型埋込層16は、SOI基板のn型シリコン層8Cの全面上に形成してもよい。前記n+型埋込層16をn型シリコン層8Cの全面上に形成することによって、バイポーランジスタQ1の形成領域と、NチャネルMOSFET及びPチャネルMOSFETの形成領域との境界部のアイソレーション領域の段差をなくすることができるので、ゲート配線はもとより、素子間配線の段切れ等の問題を解消でき、Bi-CMOS構成の半導体集積回路装置の電氣的信頼性をさらに向上することができる。また、特に、半導体記憶装置を構成する場合には、本実施例のBi-CMOSが高集積化及び高速化に有利である。例えば、上記半導体記憶装置の記憶セルに本実施例のNチャネルMOSFETMN1, 2及びPチャネルMOSFETMP1, 2を適用することによって、各々の入力と出力とがクロスカップルする二個のCMOSインバータ回路から構成されるフルCMOS型メモリセルを小面積で構成することができる。さらに、アドレスバッファ回路、デコード回路、ワードドライバ回路、センスアンプ回路等の周辺回路に本実施例のダブルポリシリコン構造のバイポーラトランジスタQ1を適用することによって、高速化に優れた半導体記憶装置を構成することができる。上記半導体記憶装置の具体的な回路構成については、公知ではないが、例えば、特願平3-53344号(出願日:平成3年2月25日、譲渡人:(株)日立製作所)に記載されている。

#### 【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0048】即ち、CMOSを有する半導体集積回路装置において、CMOSの形成領域であるN型ウェル及びP型ウェルの形成用の不純物の導入をアイソレーション領域であるフィールド絶縁膜及び分離溝を形成したの後に前記アイソレーション領域に対し自己整合で行うので、CMOSを有する半導体集積回路装置の高集積化ができる。

#### 【図面の簡単な説明】

【図1】 本発明のBi-CMOS構成の半導体集積回路装置のチップレイアウトの一例を示したものである。

【図2】 本発明のBi-CMOS構成の半導体集積回路装置のデバイス平面レイアウトを示したものである。

【図3】 図2に示すA1-A2線に対応する断面図を

示したものである。

【図4】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図5】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図6】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図7】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図8】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図9】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図10】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図11】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図12】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図13】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図14】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図15】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図16】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図17】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図18】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図19】 図2及び図3に示したBi-CMOS構成の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図20】 図2及び図3に示したBi-CMOS構成

23

の半導体集積回路装置の製造方法を製造工程順に示す断面図を示したものである。

【図21】 本発明の変形例であるBi-CMOS構成の半導体集積回路装置の要部断面図を示す。

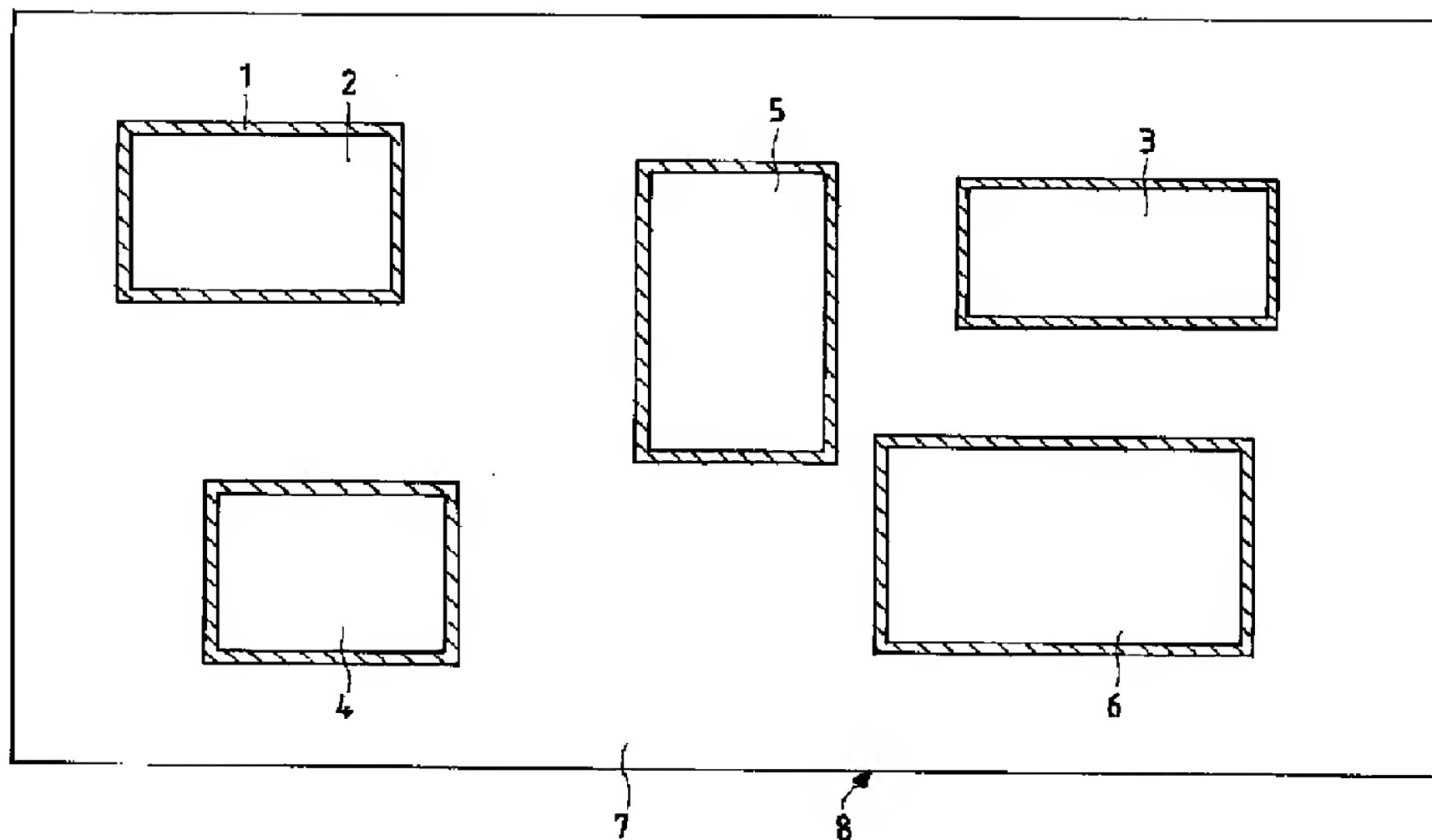
【符号の説明】

8…SOI基板、NPN…バイポーラトランジスタ形成領域、PMOS…pチャネルMOSFET形成領域、NMOS…nチャネルMOSFET形成領域、TR1、T

24

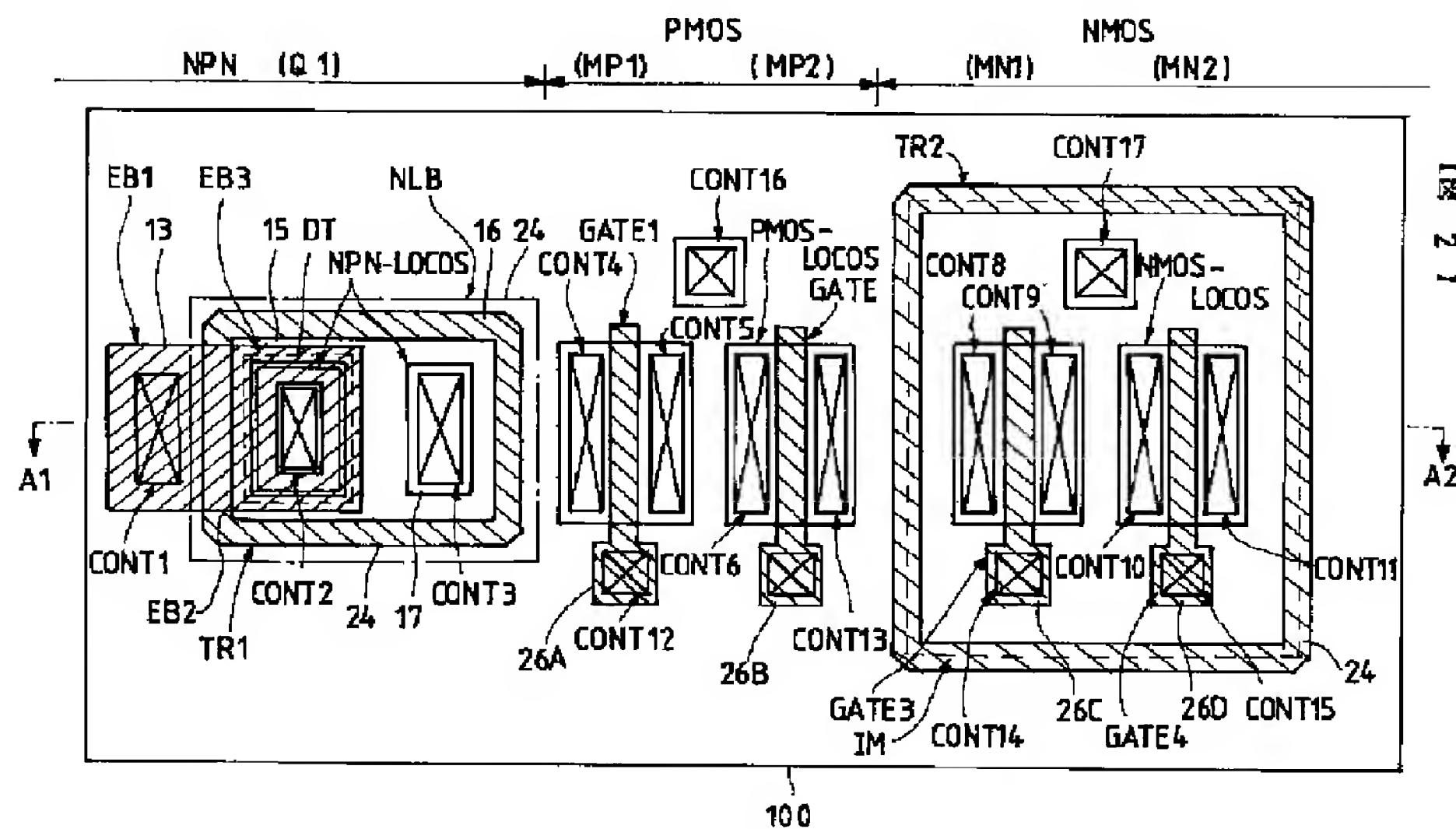
R2…分離溝パターン、NPN-LOCOS、PMOS LOCOS、NMOS LOCOS…フィールド酸化膜開口パターン、GATE…ゲート電極パターン、CONT…接続孔、EB、BP…レジストパターン、Q1…NPNバイポーラトランジスタ、MP1MP2…pチャネルMOSFET、MN1MN2…nチャネルMOSFETである。

【図1】



【図1】

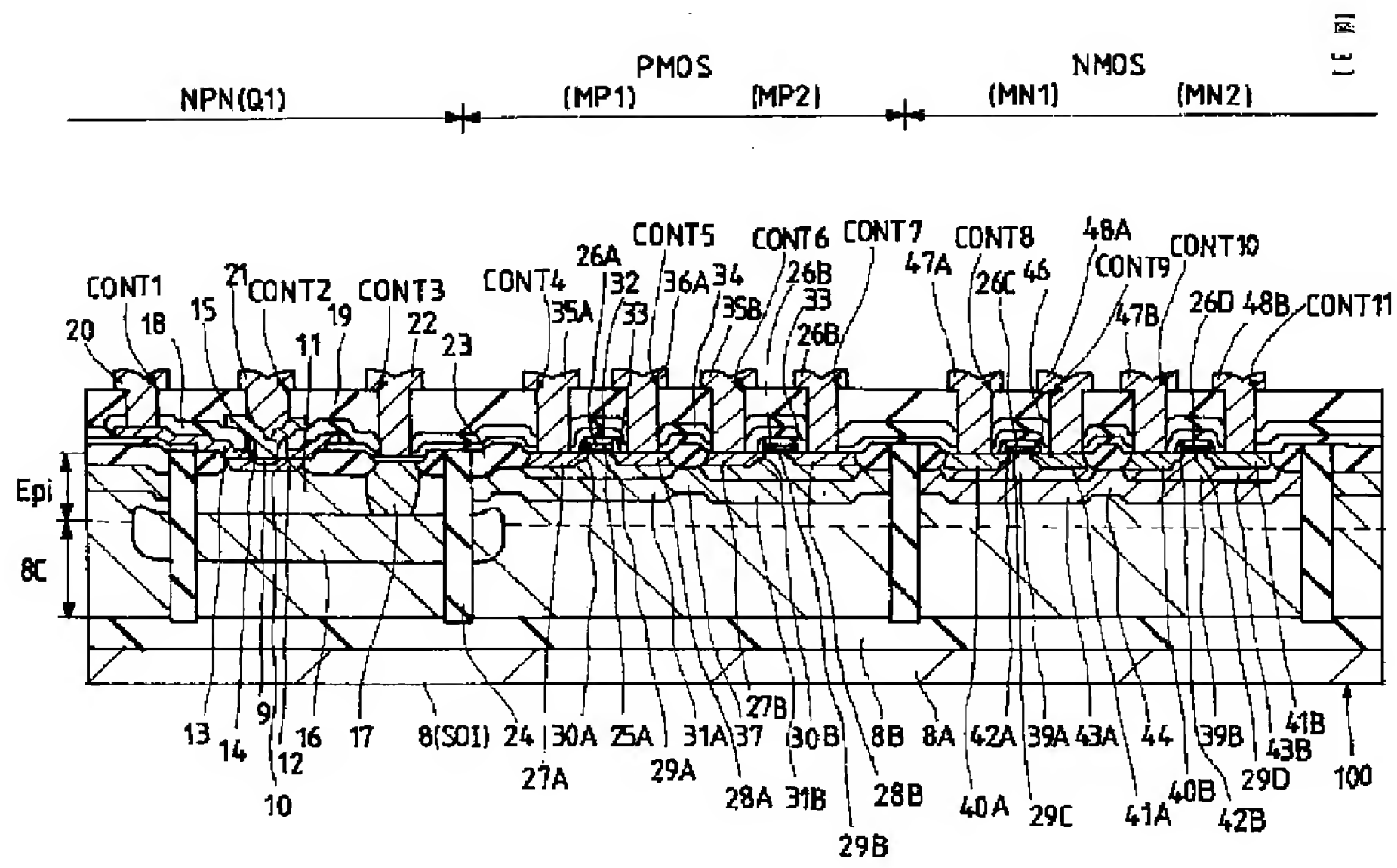
【図2】



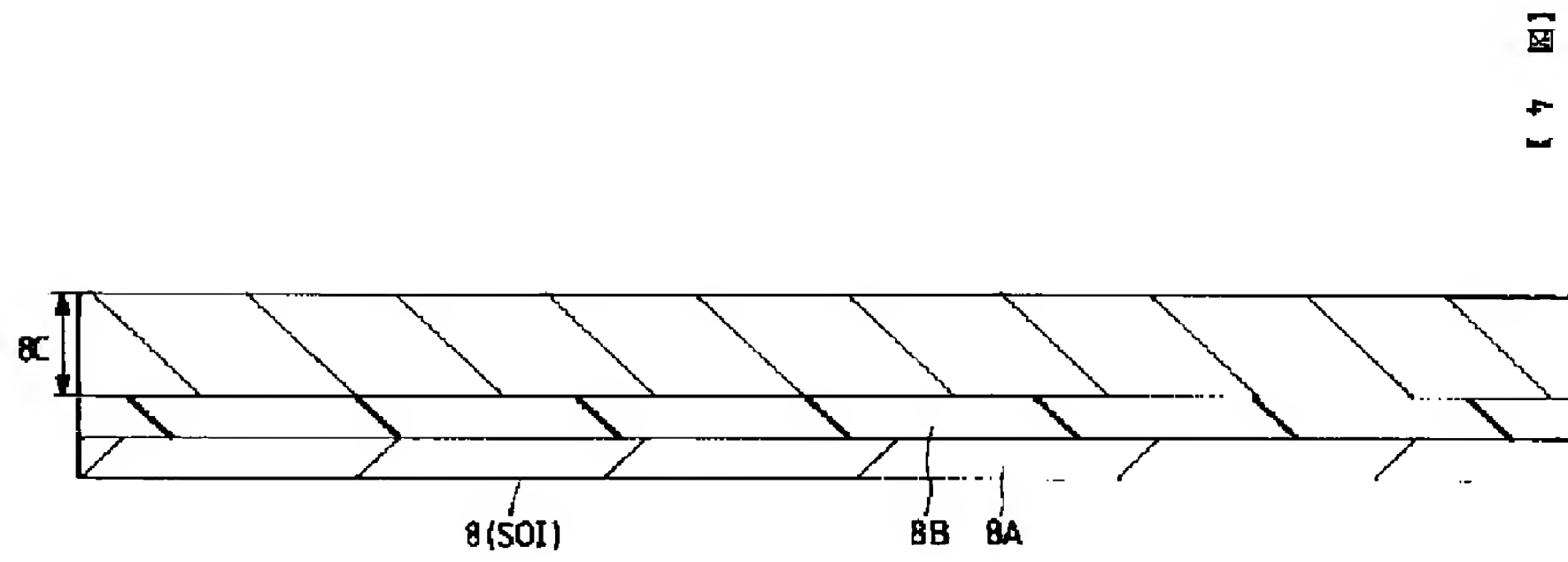
【図2】



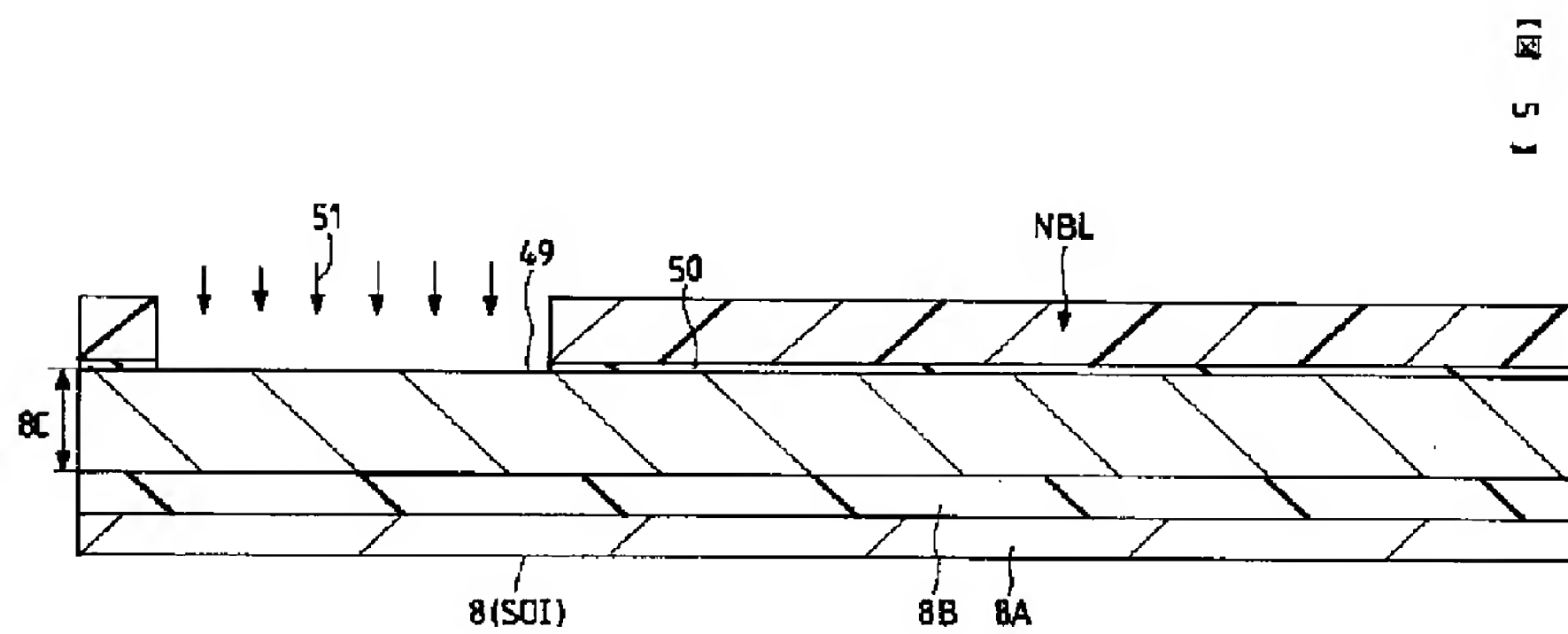
【図3】



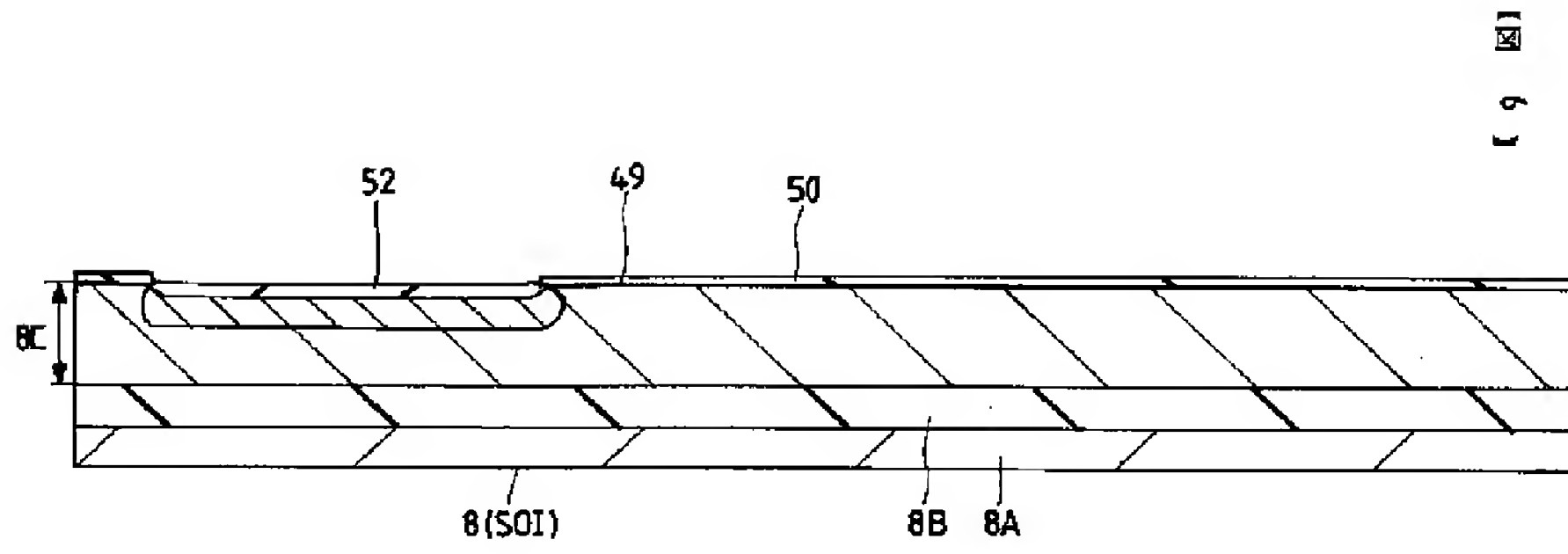
【図4】



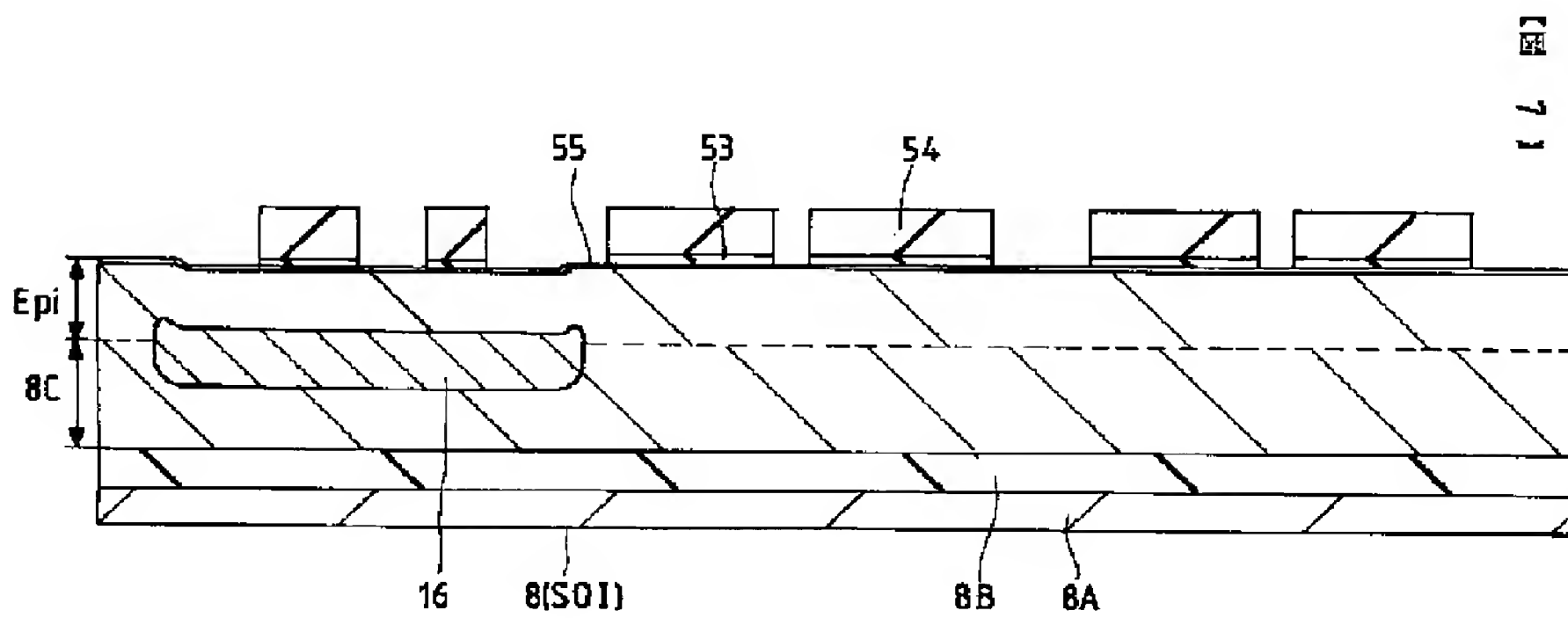
【図5】



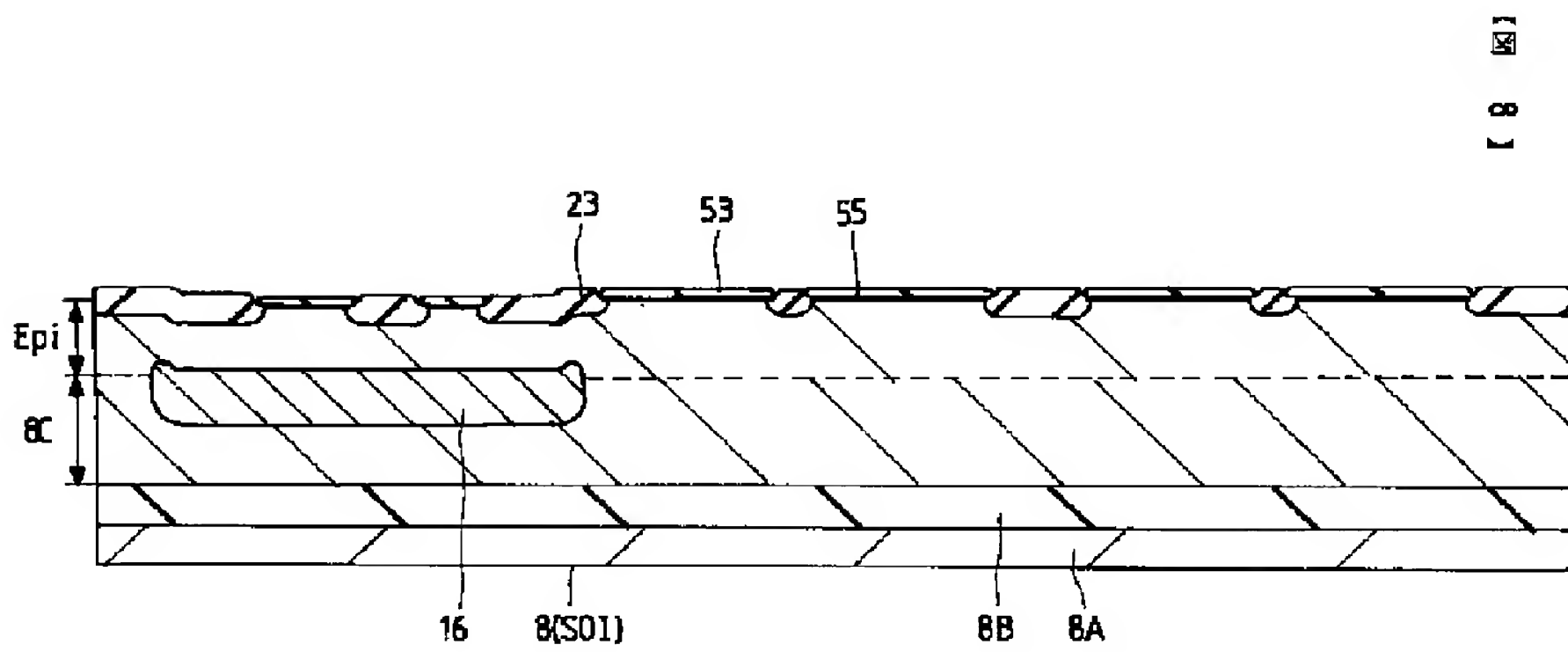
【図6】



【図7】



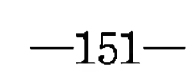
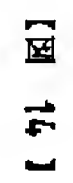
【図8】





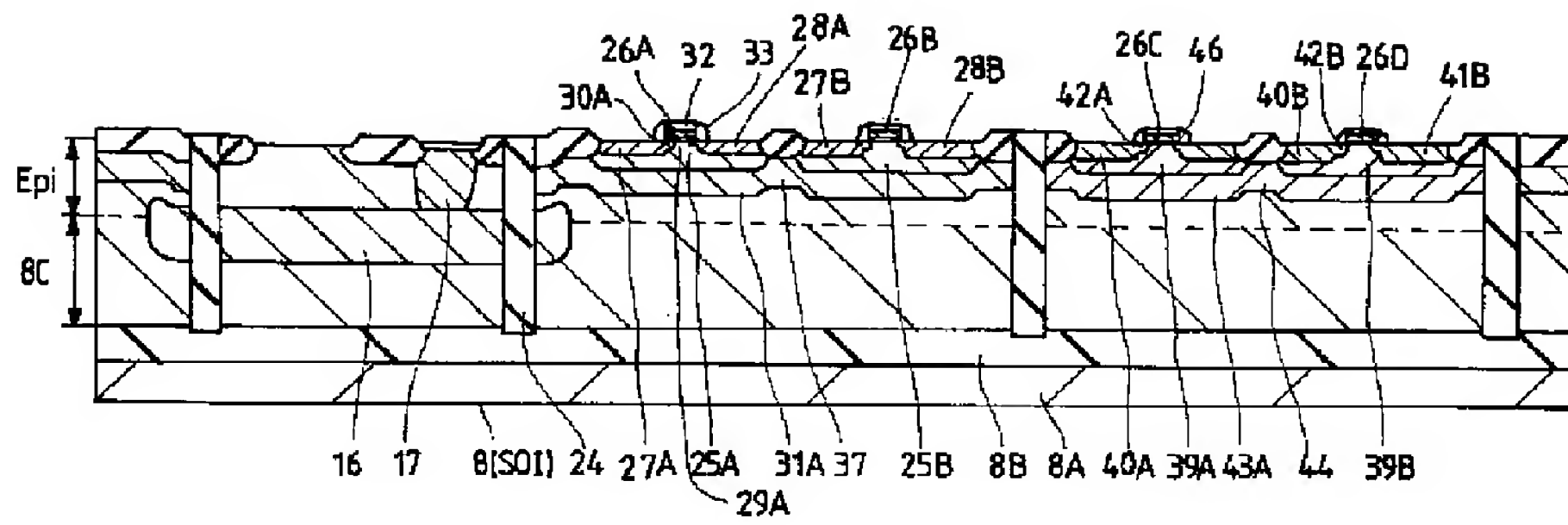


12



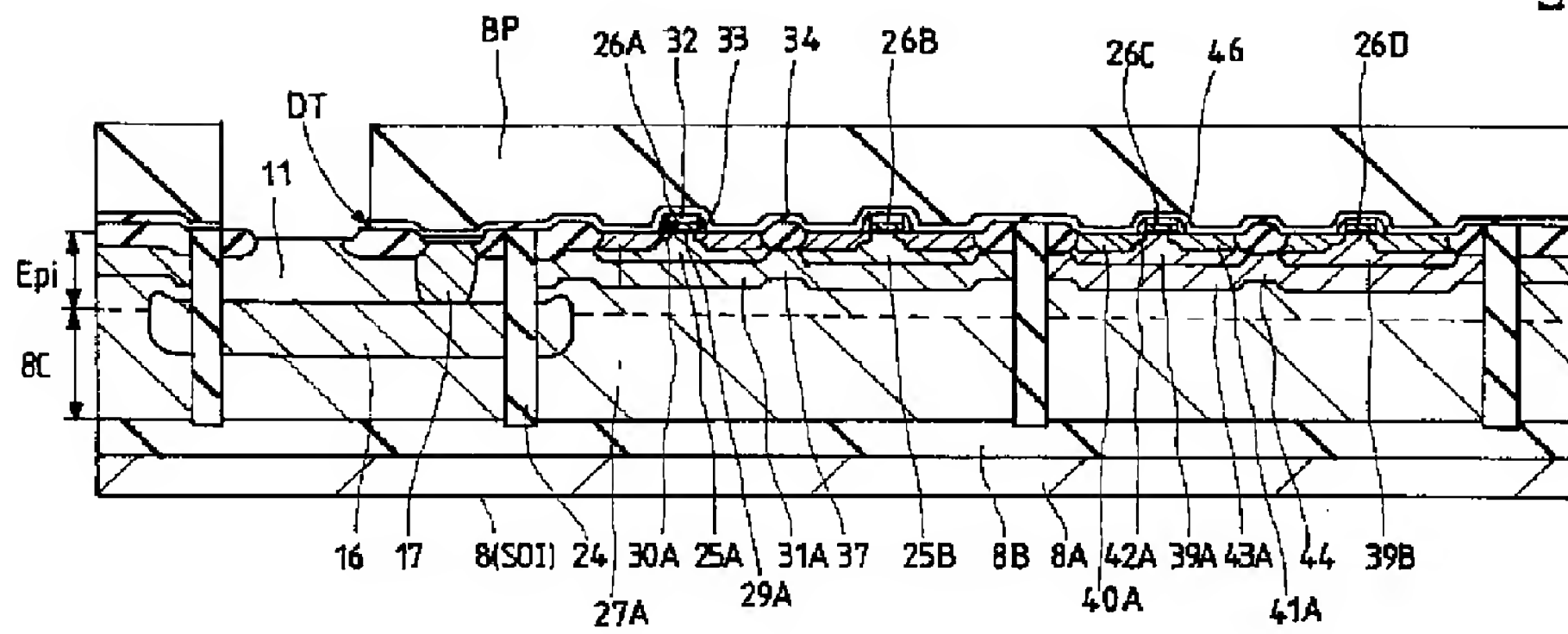
【図15】

【図15】



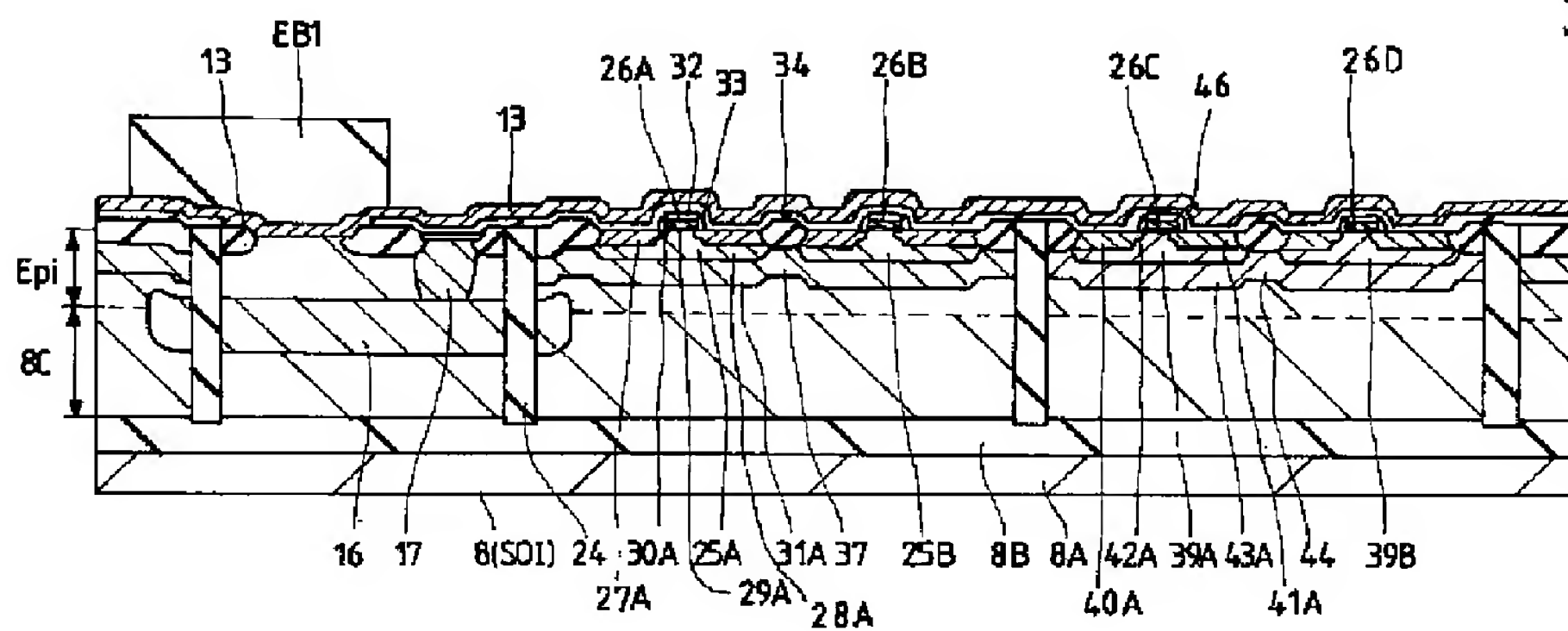
【図16】

【図16】

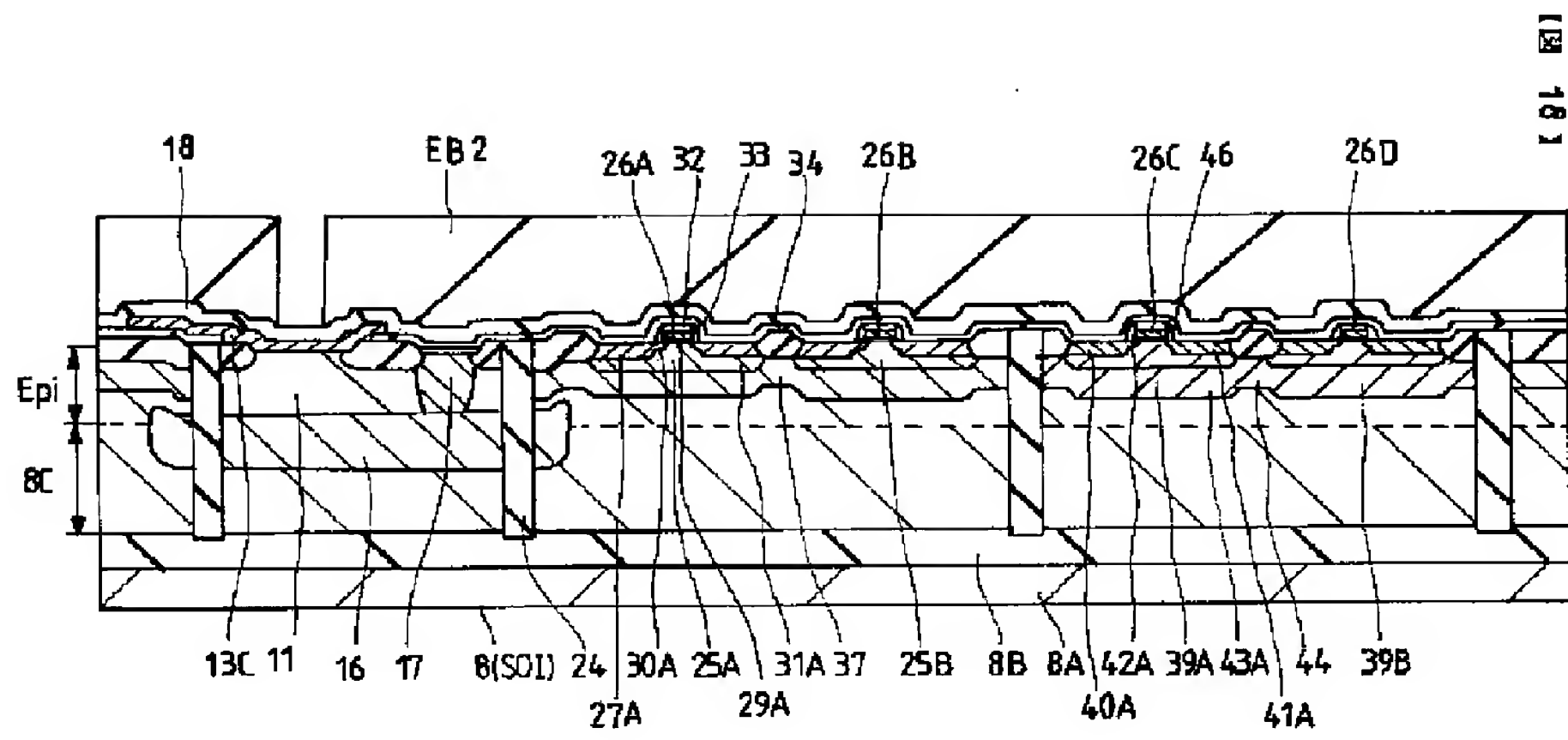


【図17】

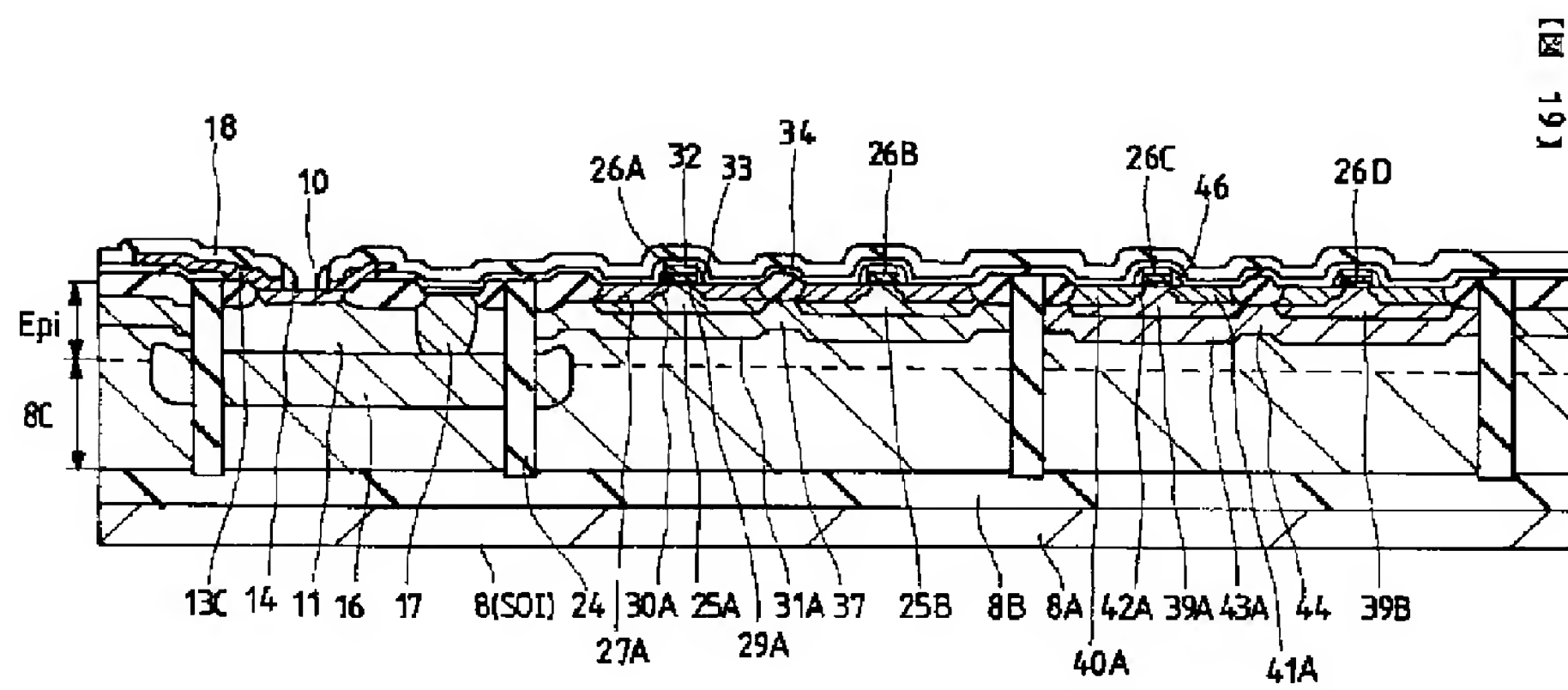
【図17】



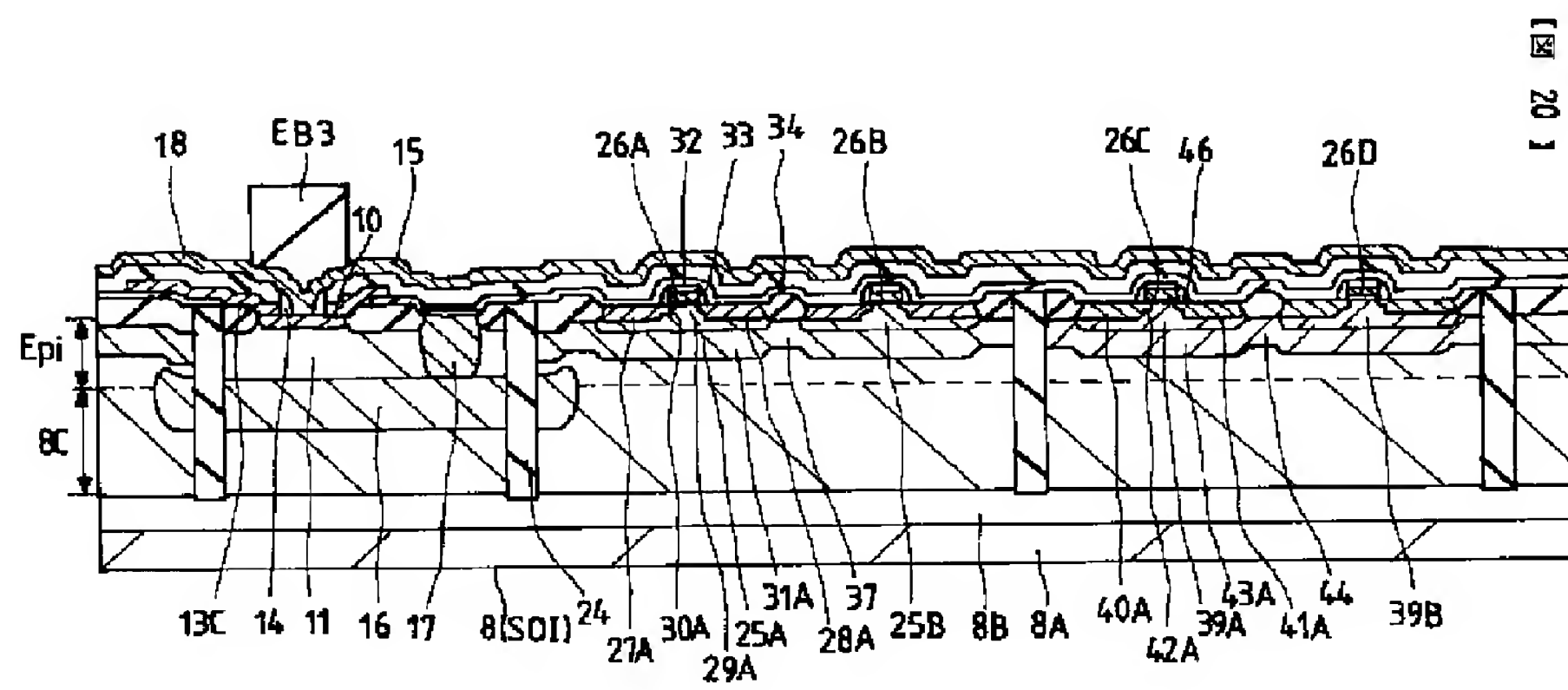
【図18】



【図19】

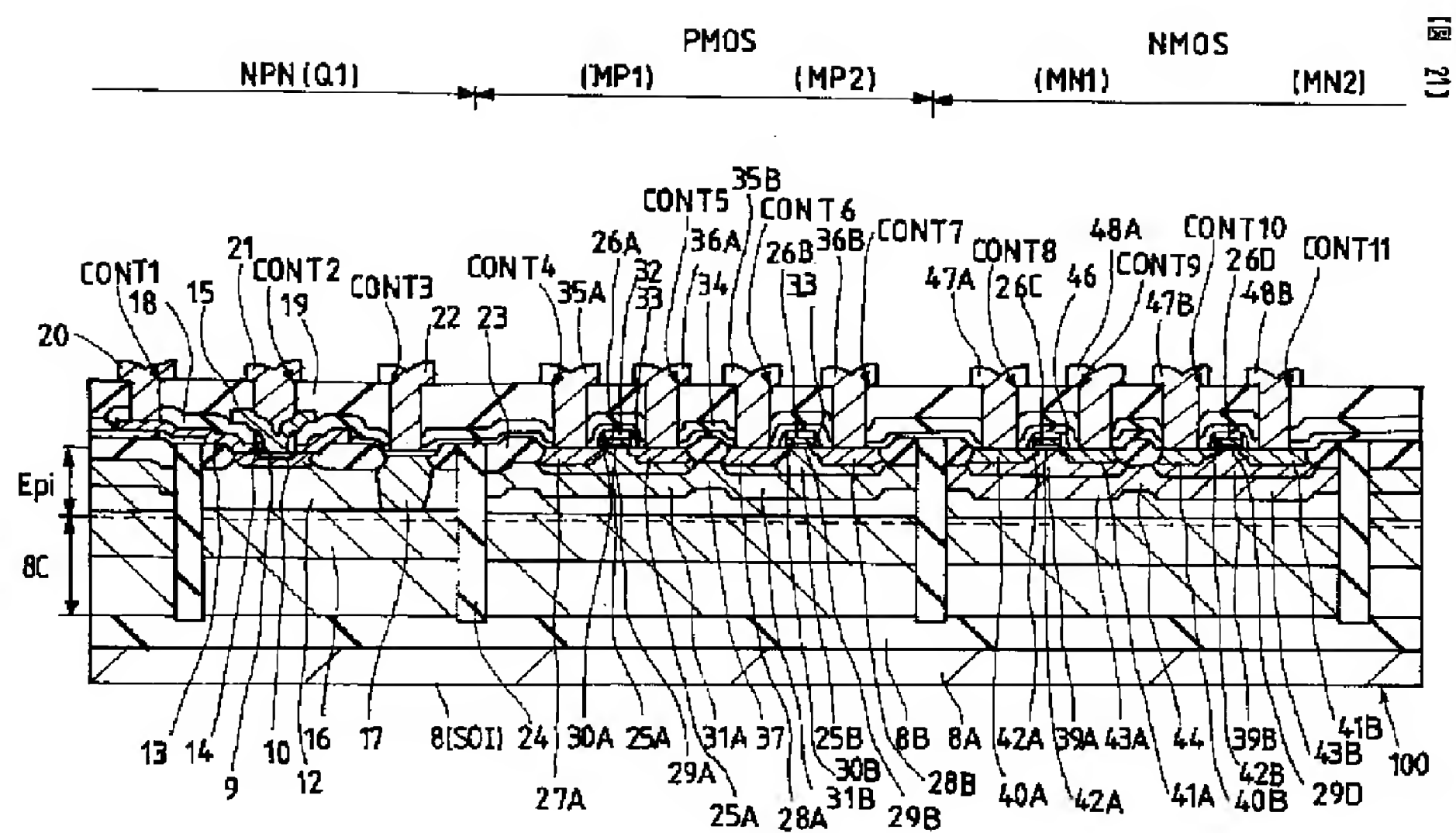


【図20】





【図21】



フロントページの続き

(72)発明者 平本 俊郎

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 丹場 展雄

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内